

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



#6
PRIORITY
11602
155

re the Application of

Kazumasa HASEGAWA et al.

Application No.: 09/934,550

Filed: August 23, 2001

Docket No.: 110450

For: FERROELECTRIC MEMORY DEVICE, METHOD OF
MANUFACTURING THE SAME, AND EMBEDDED DEVICE

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-281725, filed September 18, 2000.

In support of this claim, a certified copy of said original foreign application:

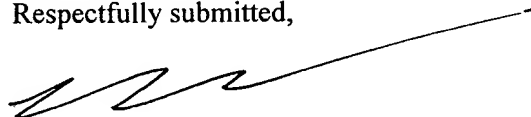
☒ is filed herewith.

_____ was filed on _____ in Parent Application No. _____ filed _____.

_____ will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,


James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/gam

Date: November 27, 2001

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE
AUTHORIZATION
Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

BEST AVAILABLE COPY



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 9月18日

出願番号

Application Number:

特願2000-281725

出願人

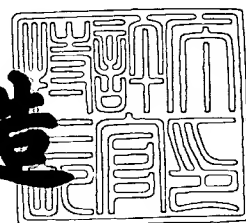
Applicant(s):

セイコーエプソン株式会社

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3077635

【書類名】	特許願
【整理番号】	EP-0280401
【提出日】	平成12年 9月18日
【あて先】	特許庁長官殿
【国際特許分類】	G11C 11/22
【発明者】	
【住所又は居所】	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】	長谷川 和正
【発明者】	
【住所又は居所】	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】	名取 栄治
【発明者】	
【住所又は居所】	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】	西川 尚男
【発明者】	
【住所又は居所】	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】	小口 幸一
【発明者】	
【住所又は居所】	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】	下田 達也
【特許出願人】	
【識別番号】	000002369
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体メモリ装置およびその製造方法ならびに混載装置

【特許請求の範囲】

【請求項 1】 メモリセルがマトリクス状に配列され、第 1 信号電極と、該第 1 信号電極と交差する方向に配列された第 2 信号電極と、少なくとも前記第 1 信号電極と前記第 2 信号電極との交差領域に配置された強誘電体層と、を含むメモリセルアレイと、

前記メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための周辺回路部と、を含み、

前記メモリセルアレイと前記周辺回路部とは、異なる層に配置され、

前記周辺回路部は、前記メモリセルアレイの外側の領域に形成されている、強誘電体メモリ装置。

【請求項 2】 請求項 1 において、

前記強誘電体層は、前記第 1 信号電極または前記第 2 信号電極に沿って、ライン状に配置される、強誘電体メモリ装置。

【請求項 3】 請求項 2 において、

前記強誘電体層は、前記第 1 信号電極上に選択的に配置された、強誘電体メモリ装置。

【請求項 4】 請求項 3 において、

基体上に前記メモリセルが配置され、前記基体の露出面が覆われるように、前記第 1 信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられている、強誘電体メモリ装置。

【請求項 5】 請求項 4 において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電体メモリ装置。

【請求項 6】 請求項 4 または 5 において、

前記基体上に、該基体の表面と異なる表面特性を有する表面修飾層が形成された、強誘電体メモリ装置。

【請求項 7】 請求項 6 において、

前記表面修飾層は、前記メモリセルが形成されない領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より低い親和性を有する、強誘電体メモリ装置。

【請求項 8】 請求項 6 において、

前記表面修飾層は、前記メモリセルが形成される領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より高い親和性を有する、強誘電体メモリ装置。

【請求項 9】 請求項 2 において、

前記強誘電体層は、前記第 2 信号電極下に選択的に配置された、強誘電体メモリ装置。

【請求項 10】 請求項 9 において、

基体上に前記メモリセルが配置され、前記基体および前記第 1 信号電極の露出面が覆われるように、前記強誘電体層および前記第 2 信号電極からなる積層体の相互間に、誘電体層が設けられている、強誘電体メモリ装置。

【請求項 11】 請求項 9 または 10 において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電体メモリ装置。

【請求項 12】 請求項 2 において、

前記強誘電体層は、前記第 1 信号電極と前記第 2 信号電極との交差領域のみに配置されている、強誘電体メモリ装置。

【請求項 13】 請求項 12 において、

基体上に前記メモリセルが配置され、前記基体の露出面の一部が覆われるように、前記第 1 信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられている、強誘電体メモリ装置。

【請求項 14】 請求項 13 において、

前記基体上において、さらに前記基体および前記第 1 信号電極の露出面が誘電体層によって覆われた、強誘電体メモリ装置。

【請求項 15】 請求項 13 または 14 において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電体メモリ装置。

【請求項 1 6】 請求項 1 3 ～ 1 5 のいずれかにおいて、

前記基体上に、該基体の表面と異なる表面特性を有する表面修飾層が形成された、強誘電体メモリ装置。

【請求項 1 7】 請求項 1 6 において、

前記表面修飾層は、前記メモリセルが形成されない領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より低い親和性を有する、強誘電体メモリ装置。

【請求項 1 8】 請求項 1 6 において、

前記表面修飾層は、前記メモリセルが形成される領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より高い親和性を有する、強誘電体メモリ装置。

【請求項 1 9】 請求項 1 ～ 1 8 のいずれかにおいて、

前記強誘電体メモリ装置は、絶縁性基体を有し、

前記メモリセルアレイは、前記絶縁性基体の溝内に設けられた前記第 1 信号電極と、前記強誘電体層と、前記第 2 信号電極とを含み、

前記第 1 信号電極が形成された前記絶縁性基体の上に、前記強誘電体層および前記第 2 信号電極が積層された、強誘電体メモリ装置。

【請求項 2 0】 請求項 1 ～ 1 8 のいずれかにおいて、

前記メモリセルアレイは、絶縁性基体を有し、

絶縁性基体に所定パターンで形成された凹部および凸部を有し、

前記凹部の底面および前記凸部の上面に、それぞれ前記第 1 信号電極が配置され、

前記第 1 信号電極が形成された絶縁性基体上に、前記強誘電体層および前記第 2 信号電極が積層された、強誘電体メモリ装置。

【請求項 2 1】 請求項 1 ～ 2 0 のいずれかに記載の強誘電体メモリ装置を単位ブロックとして、該単位ブロックを複数所定パターンで配列した、強誘電体メモリ装置。

【請求項 2 2】 請求項 1 ～ 2 1 のいずれかにおいて、
複数组のメモリセルアレイを有し、
前記複数组のメモリセルアレイは、積層されて形成されている、強誘電体メモリ装置。

【請求項 2 3】 請求項 1 ～ 2 2 のいずれかにおいて、
前記第 1 信号電極間に、絶縁層が設けられ、
前記第 1 信号電極の上面と、前記絶縁層の上面とは、面一である、強誘電体メモリ装置。

【請求項 2 4】 (a) 半導体基板上に、メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための周辺回路部を形成する工程、および
(b) 少なくとも、第 1 信号電極と、該第 1 信号電極と交差する方向に配列された第 2 信号電極と、少なくとも前記第 1 信号電極と前記第 2 信号電極との交差領域に配置された強誘電体層と、を形成して、メモリセルがマトリクス状に配列されたメモリセルアレイを形成する工程を含み、

前記周辺回路部は、前記メモリセルアレイの外側の領域において形成される、強誘電体メモリ装置の製造方法。

【請求項 2 5】 請求項 2 4 において、
前記工程 (b) は、前記第 1 信号電極を形成する工程 (b-1)、
前記強誘電体層を形成する工程 (b-2)、および
前記第 2 信号電極を形成する工程 (b-3)、を含む、強誘電体メモリ装置の製造方法。

【請求項 2 6】 請求項 2 5 において、
前記工程 (b-2) は、非晶質状態または微結晶状態の強誘電体層を形成する工程、および、該非晶質状態または微結晶状態の強誘電体層を熱処理して、前記強誘電体層を形成する工程を含む、強誘電体メモリ装置の製造方法。

【請求項 2 7】 請求項 2 5 または 2 6 において、
前記工程 (b-2) は、前記第 1 信号電極に沿ってライン状の強誘電体層を形成する工程である、強誘電体メモリ装置の製造方法。

【請求項 2 8】 請求項 2 7 において、

基体上に、前記第 1 信号電極および前記強誘電体層の少なくとも一方を形成するための材料が優先的に堆積される表面特性を有する第 1 の領域と、前記第 1 の領域に比較して前記第 1 信号電極および前記強誘電体層の少なくとも一方を形成するための材料が堆積され難い表面特性を有する第 2 の領域と、を形成する工程、および

前記第 1 信号電極および前記強誘電体層の少なくとも一方を形成するための材料を付与し、前記第 1 の領域に該部材を選択的に形成する工程、を含む、強誘電体メモリ装置の製造方法。

【請求項 2 9】 請求項 2 8 において、

前記基体の表面に、前記第 1 および第 2 の領域を形成する、強誘電体メモリ装置の製造方法。

【請求項 3 0】 請求項 2 9 において、

前記第 1 の領域では、前記基体の表面を露出させ、

前記第 2 の領域では、前記第 1 信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第 1 の領域での露出面より低い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

【請求項 3 1】 請求項 2 9 において、

前記第 2 の領域では、前記基体の表面を露出させ、

前記第 1 の領域では、前記第 1 信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第 2 の領域での露出面より高い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

【請求項 3 2】 請求項 2 7 ～ 3 1 のいずれかにおいて、

前記基体の露出面が覆われるように、前記第 1 信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられる、強誘電体メモリ装置の製造方法。

【請求項 3 3】 請求項 3 2 において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電体メモリ装置の製造方法。

【請求項 3 4】 請求項 2 5 または 2 6 において、

前記第 1 信号電極と交差する方向に、前記強誘電体層および前記第 2 信号電極が形成され、

前記強誘電体層は、前記第 2 信号電極に沿ってライン状に形成される、強誘電体メモリ装置の製造方法。

【請求項 3 5】 請求項 3 4 において、

前記強誘電体層および前記第 2 信号電極は、同一マスクを用いたエッチングによってパターンニングされる、メモリセルアレイの製造方法。

【請求項 3 6】 請求項 3 4 または 3 5 において、

前記基体および前記第 1 信号電極の露出面が覆われるように、前記強誘電体層および前記第 2 信号電極からなる積層体の相互間に、誘電体層が設けられる、メモリセルアレイの製造方法。

【請求項 3 7】 請求項 3 6 において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、メモリセルアレイの製造方法。

【請求項 3 8】 請求項 2 5 または 2 6 において、

前記工程 (b-3) の後、前記強誘電体層をパターンニングして、前記第 1 信号電極と前記第 2 信号電極との交差領域のみにブロック状に前記強誘電体層を残す工程 (b-4) を含む、強誘電体メモリ装置の製造方法。

【請求項 3 9】 請求項 3 8 において、

前記基体上に、前記第 1 信号電極および前記強誘電体層の少なくとも一方を形成するための材料が優先的に堆積される表面特性を有する第 1 の領域と、前記第 1 の領域に比較して前記第 1 信号電極および前記強誘電体層の少なくとも一方を形成するための材料が堆積され難い表面特性を有する第 2 の領域と、を形成する工程、および

前記第 1 信号電極および前記強誘電体層の少なくとも一方を形成するための材料を付与し、前記第 1 の領域に該部材を選択的に形成する工程、を含む、強誘電体メモリ装置の製造方法。

【請求項 4 0】 請求項 3 9 において、

前記基体の表面に、前記第 1 および第 2 の領域を形成する、強誘電体メモリ装

置の製造方法。

【請求項 4 1】 請求項 4 0 において、

前記第 1 の領域では、前記基体の表面を露出させ、

前記第 2 の領域では、前記第 1 信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第 1 の領域での露出面より低い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

【請求項 4 2】 請求項 4 0 において、

前記第 2 の領域では、前記基体の表面を露出させ、

前記第 1 の領域では、前記第 1 信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第 2 の領域での露出面より高い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

【請求項 4 3】 請求項 3 8 ~ 4 2 のいずれかにおいて、

前記強誘電体層および前記第 2 信号電極は、同一マスクを用いたエッチングによってパターニングされる、メモリセルアレイの製造方法。

【請求項 4 4】 請求項 3 8 ~ 4 3 のいずれかにおいて、

前記基体の露出面が覆われるように、前記第 1 信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられる、強誘電体メモリ装置の製造方法。

【請求項 4 5】 請求項 4 4 において、

前記基体および前記第 1 信号電極の露出面が覆われるように、さらに、前記強誘電体層および前記第 2 信号電極からなる積層体の相互間に、誘電体層が設けられる、強誘電体メモリ装置の製造方法。

【請求項 4 6】 請求項 4 4 または 4 5 において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電体メモリ装置の製造方法。

【請求項 4 7】 請求項 2 4 ~ 4 6 のいずれかにおいて、

前記工程 (b - 1) の後に、前記第 1 信号電極間に絶縁層を工程 (b - 5) を含み、

前記絶縁層の上面と前記第 1 信号電極の上面とは、面一である、強誘電体メモ

り装置の製造方法。

【請求項 4 8】 請求項 4 7 において、

前記工程（b-5）は、溶液塗布法を用いて、絶縁層を形成し、該絶縁層を平坦化する工程である、強誘電体メモリ装置の製造方法。

【請求項 4 9】 請求項 1 ～ 2 3 のいずれかに記載の強誘電体メモリ装置と

フラッシュメモリ、プロセッサ、アナログ回路および S R A M の群から選択される少なくとも 1 種とが混載された、混載装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、強誘電体メモリ装置およびその製造方法ならびに混載装置に関し、特に、セルトランジスタを有せず、強誘電体キャパシタのみを用いた単純マトリクス型の強誘電体メモリ装置およびその製造方法ならびに混載装置に関する。

【0 0 0 2】

【背景技術】

セルトランジスタを有せず、強誘電体キャパシタのみを用いた単純マトリクス型のメモリセルアレイは、非常に簡単な構造を有し、高い集積度を得ることができることから、その開発が期待されている。

【0 0 0 3】

【発明が解決しようとする課題】

本発明の目的は、所望のメモリセルアレイを有する強誘電体メモリ装置およびその製造方法ならびに混載装置を提供することにある。

【0 0 0 4】

【課題を解決するための手段】

本発明の強誘電体メモリ装置は、

メモリセルがマトリクス状に配列され、第 1 信号電極と、該第 1 信号電極と交差する方向に配列された第 2 信号電極と、少なくとも前記第 1 信号電極と前記第 2 信号電極との交差領域に配置された強誘電体層と、を含むメモリセルアレイと

前記メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための周辺回路部と、を含み、

前記メモリセルアレイと前記周辺回路部とは、異なる層に配置され、

前記周辺回路部は、前記メモリセルアレイの外側の領域に形成されている。

【0005】

本発明においては、周辺回路部は、メモリセルアレイの外側の領域に形成されている。このため、メモリセルアレイの下の半導体基板は、平坦である。その結果、その半導体基板の上に、平坦な層間絶縁層を容易に形成することができる。したがって、平坦な層間絶縁層の上に、確実にメモリセルアレイを形成することができ、所望のパターンを有するメモリセルアレイを容易に形成することができる。

【0006】

本発明においては、強誘電体層は、次の3つの態様のいずれかをとることができる。

【0007】

(1) 強誘電体層は、第1信号電極に沿ってライン状に配置されている態様である。具体的には、前記強誘電体層は、前記第1信号電極上に選択的に配置されている態様である。この態様の場合、強誘電体層が第1信号電極に沿ってライン状に形成されているため、第2信号電極の浮遊容量を小さくすることができる。

【0008】

基体上に前記メモリセルが配置され、前記基体の露出面が覆われるように、前記第1信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられていることができる。

【0009】

また、前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることができる。

【0010】

前記基体上に、該基体の表面と異なる表面特性を有する表面修飾層が形成され

ていることができる。

【 0 0 1 1 】

前記表面修飾層は、前記メモリセルが形成されない領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より低い親和性を有することができる。または、前記表面修飾層は、前記メモリセルが形成される領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より高い親和性を有することができる。

【 0 0 1 2 】

(2) 強誘電体層は、第2信号電極に沿ってライン状に配置されている態様である。具体的には、前記強誘電体層は、前記第2信号電極上に選択的に配置されている態様である。この態様の場合、強誘電体層が第2信号電極に沿ってライン状に形成されているため、第1信号電極の浮遊容量を小さくすることができる。

【 0 0 1 3 】

基体上に前記メモリセルが配置され、前記基体および前記第1信号電極の露出面が覆われるように、前記強誘電体層および前記第2信号電極からなる積層体の相互間に、誘電体層が設けられていることができる。

【 0 0 1 4 】

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることができる。

【 0 0 1 5 】

(3) 前記強誘電体層は、前記第1信号電極と前記第2信号電極との交差領域のみに配置されている態様である。この態様の場合、強誘電体層が最小の領域で形成されているため、さらに信号電極の浮遊容量を小さくすることができる。

【 0 0 1 6 】

基体上に前記メモリセルが配置され、前記基体の露出面の一部が覆われるように、前記第1信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられていることができる。

【 0 0 1 7 】

前記基体上において、さらに前記基体および前記第1信号電極の露出面が誘電

体層によって覆われていることができる。

【 0 0 1 8 】

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることができる。

【 0 0 1 9 】

前記基体上に、該基体の表面と異なる表面特性を有する表面修飾層が形成されたことができる。

【 0 0 2 0 】

前記表面修飾層は、前記メモリセルが形成されない領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より低い親和性を有することができる。または、前記表面修飾層は、前記メモリセルが形成される領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より高い親和性を有することができる。

【 0 0 2 1 】

また、本発明の強誘電体メモリ装置は、次の構成をとることができる。

【 0 0 2 2 】

(A) 前記強誘電体メモリ装置は、絶縁性基体を有し、

前記メモリセルアレイは、前記絶縁性基体の溝内に設けられた前記第 1 信号電極と、前記強誘電体層と、前記第 2 信号電極とを含み、

前記第 1 信号電極が形成された前記絶縁性基体の上に、前記強誘電体層および前記第 2 信号電極が積層されていることができる。

【 0 0 2 3 】

ここで、絶縁性基板とは、少なくとも前記第 1 信号電極が形成される表面部分が絶縁性を有する基板を意味し、導電性材料による基板の表面部のみに絶縁性を持たせたものでもよい（以下において同じ）。

【 0 0 2 4 】

(B) 前記メモリセルアレイは、絶縁性基体を有し、

絶縁性基体に所定パターンで形成された凹部および凸部を有し、

前記凹部の底面および前記凸部の上面に、それぞれ前記第 1 信号電極が配置さ

れ、

前記第 1 信号電極が形成された絶縁性基体上に、前記強誘電体層および前記第 2 信号電極が積層されていることができる。

【 0 0 2 5 】

(C) 請求項 1 ～ 2 0 のいずれかに記載の強誘電体メモリ装置を単位ブロックとして、該単位ブロックを複数所定パターンで配列していることができる。

【 0 0 2 6 】

(D) 複数組のメモリセルアレイを有し、
前記複数組のメモリセルアレイは、積層されて形成されていることができる。

【 0 0 2 7 】

(E) 前記第 1 信号電極間に、絶縁層が設けられ、
前記第 1 信号電極の上面と、前記絶縁層の上面とは、面一であることができる。

【 0 0 2 8 】

(強誘電体メモリ装置の製造方法)

強誘電体メモリ装置の製造方法は、

(a) 半導体基板上に、メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための周辺回路部を形成する工程、および

(b) 少なくとも、第 1 信号電極と、該第 1 信号電極と交差する方向に配列された第 2 信号電極と、少なくとも前記第 1 信号電極と前記第 2 信号電極との交差領域に配置された強誘電体層と、を形成して、メモリセルがマトリクス状に配列されたメモリセルアレイを形成する工程を含み、

前記周辺回路部は、前記メモリセルアレイの外側の領域において形成される。

【 0 0 2 9 】

具体的には、前記工程 (b) は、前記第 1 信号電極を形成する工程 (b - 1)

前記強誘電体層を形成する工程 (b - 2)、および

前記第 2 信号電極を形成する工程 (b - 3)、を含むことができる。

【 0 0 3 0 】

前記工程（b-2）は、非晶質状態または微結晶状態の強誘電体層を形成する工程、および、該非晶質状態または微結晶状態の強誘電体層を熱処理して、前記強誘電体層を形成する工程を含むことができる。これによれば、選択成長により強誘電体層を形成する場合において、他の形成方法に比べて低温で、強誘電体層の選択成長を行うことができる。

【0031】

前記工程（b-2）は、次の3つの態様のうちいずれかの態様をとることができる。

【0032】

（1）第1の態様として、前記工程（b-2）は、前記第1信号電極に沿ってライン状の強誘電体層を形成する工程である。

【0033】

この態様の場合、基体上に、前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が優先的に堆積される表面特性を有する第1の領域と、前記第1の領域に比較して前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が堆積され難い表面特性を有する第2の領域と、を形成する工程、および

前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料を付与し、前記第1の領域に該部材を選択的に形成する工程、を含むことができる。

【0034】

また、前記基体の表面に、前記第1および第2の領域を形成することができる。

【0035】

また、前記第1の領域では、前記基体の表面を露出させ、

前記第2の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第1の領域での露出面より低い表面特性を有する表面修飾層を形成することができる。

【0036】

または、前記第 2 の領域では、前記基体の表面を露出させ、

前記第 1 の領域では、前記第 1 信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第 2 の領域での露出面より高い表面特性を有する表面修飾層を形成することができる。

【 0 0 3 7 】

また、前記基体の露出面が覆われるように、前記第 1 信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられることができる。

【 0 0 3 8 】

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることができる。

【 0 0 3 9 】

(2) 第 2 の態様として、前記第 1 信号電極と交差する方向に、前記強誘電体層および前記第 2 信号電極が形成され、

前記強誘電体層は、前記第 2 信号電極に沿ってライン状に形成される態様である。

【 0 0 4 0 】

この態様の場合、前記強誘電体層および前記第 2 信号電極は、同一マスクを用いたエッチングによってパターンニングされることができる。

【 0 0 4 1 】

前記基体および前記第 1 信号電極の露出面が覆われるように、前記強誘電体層および前記第 2 信号電極からなる積層体の相互間に、誘電体層が設けられることができる。

【 0 0 4 2 】

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることができる。

【 0 0 4 3 】

(3) 第 3 の態様として、前記工程 (b - 3) の後、前記強誘電体層をパターンニングして、前記第 1 信号電極と前記第 2 信号電極との交差領域のみにブロック状に前記強誘電体層を残す工程 (b - 4) を含む。

【 0 0 4 4 】

この態様の場合、前記基体上に、前記第 1 信号電極および前記強誘電体層の少なくとも一方を形成するための材料が優先的に堆積される表面特性を有する第 1 の領域と、前記第 1 の領域に比較して前記第 1 信号電極および前記強誘電体層の少なくとも一方を形成するための材料が堆積され難い表面特性を有する第 2 の領域と、を形成する工程、および

前記第 1 信号電極および前記強誘電体層の少なくとも一方を形成するための材料を付与し、前記第 1 の領域に該部材を選択的に形成する工程、を含むことができる。

【 0 0 4 5 】

前記基体の表面に、前記第 1 および第 2 の領域を形成することができる。

【 0 0 4 6 】

前記第 1 の領域では、前記基体の表面を露出させ、

前記第 2 の領域では、前記第 1 信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第 1 の領域での露出面より低い表面特性を有する表面修飾層を形成することができる。

【 0 0 4 7 】

または、前記第 2 の領域では、前記基体の表面を露出させ、

前記第 1 の領域では、前記第 1 信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第 2 の領域での露出面より高い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

【 0 0 4 8 】

前記強誘電体層および前記第 2 信号電極は、同一マスクを用いたエッチングによってパターンニングされることができる。

【 0 0 4 9 】

前記基体の露出面が覆われるように、前記第 1 信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられることができる。

【 0 0 5 0 】

前記基体および前記第 1 信号電極の露出面が覆われるように、さらに、前記強

誘電体層および前記第 2 信号電極からなる積層体の相互間に、誘電体層が設けられることができる。

【0051】

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることができる。

【0052】

本発明の強誘電体メモリ装置の製造方法は、さらに、次の工程を含むことができる。

【0053】

前記工程 (b-1) の後に、前記第 1 信号電極間に絶縁層を工程 (b-5) を含み、

前記絶縁層の上面と前記第 1 信号電極の上面とは、面一であることができる。

【0054】

工程 (b-5) を含むことにより、平坦な面の上に、強誘電体層を形成することができる。このため、所望のパターンを有する強誘電体層を形成するのが容易となる。

【0055】

具体的には、前記工程 (b-5) は、溶液塗布法を用いて、絶縁層を形成し、該絶縁層を平坦化する工程である。

【0056】

(混載装置)

本発明の混載装置は、

請求項 1～23 のいずれかに記載の強誘電体メモリ装置と、

フラッシュメモリ、プロセッサ、アナログ回路および SRAM の群から選択される少なくとも 1 種とが混載されている。

【0057】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を参照しながら説明する。

【0058】

〔第 1 の実施の形態〕

(デバイス)

図 1 は、第 1 の実施の形態に係る強誘電体メモリ装置を模式的に示す平面図であり、図 2 は、図 1 の A - A 線に沿って強誘電体メモリ装置の一部を模式的に示す断面図である。

【 0 0 5 9 】

本実施の形態の強誘電体メモリ装置 1 0 0 0 は、メモリセルアレイ 1 0 0 と、周辺回路部 2 0 0 とを有する。そして、メモリセルアレイ 1 0 0 と周辺回路部 2 0 0 とは、異なる層に形成されている。周辺回路部 2 0 0 は、メモリセルアレイ 1 0 0 の外側の領域において形成されている。具体的には、周辺回路部の形成領域 A 2 0 0 は、メモリセルアレイの形成領域 A 1 0 0 の外側の領域において設けられている。この例では、下層に周辺回路部 2 0 0 が、上層にメモリセルアレイ 1 0 0 が形成されている。周辺回路部 2 0 0 の具体例としては、Y ゲート、センスアンプ、入出力バッファ、X アドレスデコーダ、Y アドレスデコーダまたはアドレスバッファを挙げることができる。

【 0 0 6 0 】

メモリセルアレイ 1 0 0 は、行選択のための第 1 信号電極 (ワード線) 1 2 と、列選択のための第 2 信号電極 (ビット線) 1 6 とが直交するように配列されている。なお、信号電極は、上記の逆でもよく、第 1 信号電極がビット線、第 2 信号電極がワード線でもよい。

【 0 0 6 1 】

そして、図 2 に示すように、第 1 信号電極 1 2 と第 2 信号電極 1 6 との間には強誘電体層 1 4 が配置されている。従って、第 1 信号電極 1 2 と第 2 信号電極 1 6 との交差領域において、それぞれ強誘電体キャパシタからなるメモリセルが構成されている。強誘電体層 1 4 は、隣り合うメモリセルにおける強誘電体層 1 4 が相互に連続するように形成されている。具体的には、強誘電体層 1 4 は、メモリセルアレイの形成領域 A 1 0 0 において連続的に形成されている。

【 0 0 6 2 】

そして、第 1 信号電極 1 2、強誘電体層 1 4 および第 2 信号電極 1 6 を覆うよ

うに、絶縁層からなる第1保護層36が形成されている。さらに、第2配線層40を覆うように第1保護層36上に絶縁性の第2保護層38が形成されている。

【0063】

周辺回路部200は、図1に示すように、前記メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための各種回路を含み、例えば、第1信号電極12を選択的に制御するための第1駆動回路50と、第2信号電極34を選択的に制御するための第2駆動回路52と、センスアンプなどの信号検出回路（図示せず）とを含む。

【0064】

また、周辺回路部200は、図2に示すように、半導体基板110上に形成されたMOSトランジスタ112を含む。MOSトランジスタ112は、ゲート絶縁層112a、ゲート電極112bおよびソース／ドレイン領域112cを有する。各MOSトランジスタ112は素子分離領域114によって分離されている。MOSトランジスタ112が形成された半導体基板110上には、第1層間絶縁層10が形成されている。そして、周辺回路部200とメモリセルアレイ100とは、第1配線層40によって電氣的に接続されている。

【0065】

次に、本実施の形態の強誘電体メモリ装置1000における書き込み、読み出し動作の一例について述べる。

【0066】

まず、読み出し動作においては、選択セルのキャパシタに読み出し電圧「 V_0 」が印加される。これは、同時に「0」の書き込み動作を兼ねている。このとき、選択されたビット線を流れる電流またはビット線をハイインピーダンスにしたときの電位をセンスアンプにて読み出す。このとき、非選択セルのキャパシタには、読み出し時のクロストークを防ぐため、所定の電圧が印加される。

【0067】

書き込み動作においては、「1」の書き込みの場合は、選択セルのキャパシタに「 $-V_0$ 」の電圧が印加される。「0」の書き込みの場合は、選択セルのキャパシタに、該選択セルの分極を反転させない電圧が印加され、読み出し動作時に

書き込まれた '0' 状態を保持する。このとき、非選択セルのキャパシタには、書き込み時のクロストークを防ぐため、所定の電圧が印加される。

【0068】

以上の構成の強誘電体メモリ装置によれば、メモリセルアレイ100の下には、周辺回路部が形成されていない。このため、第1層間絶縁層10の下の基体は平坦であるため、第1層間絶縁層10の堆積時の膜厚を一定にし易い。第1層間絶縁層10の堆積時の膜厚が一定であるほど、第1層間絶縁層10の平坦化が容易となる。その結果、所定のパターンを有するメモリセルアレイ100を容易に形成することができる。

【0069】

(デバイスの製造方法)

次に、上述した強誘電体メモリ装置の製造方法の一例について述べる。図3および図4は、強誘電体メモリ装置1000の製造工程を模式的に示す断面図である。

【0070】

図3に示すように、公知のLSIプロセスを用いて、周辺回路200を形成する。具体的には、半導体基板110上にMOSトランジスタ112を形成する。例えば、半導体基板110上の所定領域にトレンチ分離法、LOCOS法などを用いて素子分離領域114を形成し、ついでゲート絶縁層112aおよびゲート電極112bを形成し、その後、半導体基板110に不純物をドーピングすることでソース/ドレイン領域112cを形成する。このようにして駆動回路50、52および信号検出回路54などの各種回路を含む周辺回路部200が形成される。ついで、第1層間絶縁層10を形成する。

【0071】

さらに、周辺回路部200の第1層間絶縁層10上に、第1信号電極12を形成する。第1信号電極12の材質としては、たとえばIr, IrO_x , Pt, RuO_x , SrRuO_x , LaSrCoO_x を挙げることができる。第1信号電極12の形成方法としては、スパッタリング、蒸着、などの方法を挙げることができる。第1信号電極12は、単一の層あるいは複数の層が積層された構造を有する

ことができる。

【0072】

次に、第1信号電極12をエッチングして、第1信号電極12をパターニングする。第1信号電極12のエッチング方法としては、RIE、スパッタエッチング、プラズマエッチングなどの方法を挙げることができる。

【0073】

次に、第1信号電極12が形成された第1層間絶縁層10上に、強誘電体層14を形成する。強誘電体層14の材質としては、たとえばPZT ($\text{PbZr}_{1-z}\text{Ti}_z\text{O}_3$)、SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$)を挙げることができる。強誘電体層14の成形方法としては、たとえば、ゾルゲル材料やMOD材料を用いたスピコート法やディッピング法、スパッタ法、MOCVD法、レーザアブレーション法を挙げることができる。

【0074】

次に、強誘電体層14をエッチングして、強誘電体層14をパターニングする。強誘電体層14のパターニングは、強誘電体層14がメモリセルアレイの形成領域A100にのみ残るように行われる。

【0075】

次に、強誘電体層14の上に、第2信号電極16を形成する。第2信号電極16の材質および形成方法は、第1信号電極12と同様のものを適用することができる。次に、第2信号電極16をエッチングして、第2信号電極16をパターニングをする。第2信号電極16のエッチング法は、第1信号電極12と同様のものを適用することができる。

【0076】

次に、第2信号電極16が形成された強誘電体層14上に、絶縁層からなる第1保護層36が形成され、さらに第1保護層36の所定領域にコンタクトホールが形成され、その後、所定パターンの第1配線層40が形成される。第1配線層40は、周辺回路部100とメモリセルアレイ200とを電氣的に接続している。さらに最上層に、絶縁層からなる第2保護層38を形成する。このようにして、強誘電体メモリ装置1000が形成される。

【 0 0 7 7 】

〔第 2 の実施の形態〕

図 5 は、メモリセルアレイの一部を拡大して示す平面図であり、図 6 は、図 5 の B - B 線に沿った断面図である。平面図において、() 内の数字は最上層の下層を示す。本実施の形態において、第 1 の実施の形態のメモリセルアレイと実質的に同じ機能を有する部材には同一の符号を付して説明する。

【 0 0 7 8 】

第 2 の実施の形態に係る強誘電体メモリ装置は、強誘電体層 1 4 が第 2 の信号電極 1 6 に沿ってライン状に形成されている点で、第 1 の実施の形態と異なる。強誘電体層 1 4 をライン状に形成することで、第 1 信号電極 1 2 の浮遊容量を小さくすることができる。また、このようなライン状の強誘電体層 1 4 は、後述するように、第 2 の信号電極 1 6 のパターニングに用いられるマスクを用いてパターニングして形成することができる。

【 0 0 7 9 】

また、強誘電体層 1 4 と第 2 信号電極 1 6 とからなる積層体の相互には、基体 1 0 および第 1 信号電極 1 2 の露出面を覆うように、誘電体層 1 8 が形成されている。この誘電体層 1 8 は、強誘電体層 1 4 に比べて小さい誘電率を有することが望ましい。このように強誘電体層 1 4 および第 2 信号電極 1 6 からなる積層体の相互間に、強誘電体層 1 4 より誘電率の小さい誘電体層 1 8 を介在させることにより、第 2 信号電極 1 6 の浮遊容量を小さくすることができる。その結果、強誘電体メモリ装置 1 0 0 0 における書き込みおよび読み出しの動作をより高速に行うことが可能となる。

【 0 0 8 0 】

次に、上述した第 6 の変形例の製造方法の一例について述べる。図 7 および図 8 は、強誘電体メモリ装置 1 0 0 0 の製造工程を模式的に示す断面図である。

【 0 0 8 1 】

(1) 第 1 信号電極の形成工程

まず、図 7 に示すように、基体（たとえば層間絶縁層）1 0 上に、所定パターンで配列する第 1 信号電極（下電極）1 2 を形成する。第 1 信号電極 1 2 の形成

方法は、例えば、基体10上に第1信号電極12を形成するための電極材料を成膜し、成膜された電極材料をパターンニングする。

【0082】

電極材料は、強誘電体キャパシタの一部となるための機能を有するものであれば特に限定されるものではない。例えば、強誘電体層14を構成する材料としてPZTを用いる場合には、第1信号電極12を構成する電極材料として、白金、イリジウムおよびその化合物等を用いることができる。第1信号電極12の材質としては、たとえばIr, IrO_x , Pt, RuO_x , SrRuO_x , LaSrCoO_x を挙げることができる。また、第1信号電極12は、単層または複数の層を積層したものをを用いることができる。

【0083】

電極材料の成膜方法としては、スパッタリング、真空蒸着、CVD等の方法が利用できる。パターンニング方法としては、リソグラフィ技術を利用することができる。成膜された電極材料を選択的に除去する方法としては、RIE、スパッタエッチング、プラズマエッチングなどのエッチング方法を用いることができる。

【0084】

電極材料の形成方法としては、上記エッチングによるパターンニングを用いずに、第3の実施の形態で述べる表面修飾層を用いた方法（第3の実施の形態における（デバイスの製造方法）の欄の工程（1）、（2）参照）を用いることもできる。

【0085】

（2）強誘電体層の成膜工程

図7に示すように、所定パターンの第1信号電極12が形成された基体10上に、強誘電体からなる連続層140（以下、これを「強誘電体層140」という）を全面的に形成する。強誘電体層140の成形方法としては、たとえば、ゾルゲル材料やMOD（Metal Organic Decomposition）材料を用いたスピコート法やディッピング法、スパッタ法、MOCVD（Metal Organic Chemical Vapor Deposition）法、レーザアブレーション法を挙げることができる。

【0086】

強誘電体層の材質としては、強誘電性を示してキャパシタ絶縁層として使用できれば、その組成は任意のものを適用することができる。このような強誘電体としては、たとえば $PZT (PbZr_zTi_{1-z}O_3)$ 、 $SBT (SrBi_2Ta_2O_9)$ を挙げることができ、さらに、これらの材料にニオブやニッケル、マグネシウム等の金属を添加したもの等が適用できる。強誘電体としては、具体的には、チタン酸鉛 ($PbTiO_3$)、ジルコン酸チタン酸鉛 ($Pb(Zr, Ti)O_3$)、ジルコン酸鉛 ($PbZrO_3$)、チタン酸鉛ランタン ($(Pb, La), TiO_3$)、ジルコン酸チタン酸鉛ランタン ($(Pb, La)(Zr, Ti)O_3$) またはマグネシウムニオブ酸ジルコニウムチタン酸鉛 ($Pb(Zr, Ti)(Mg, Nb)O_3$) 等を使用することができる。

【0087】

上述した強誘電体の材料としては、例えば PZT の場合、 Pb については $Pb(C_2H_5)_4$ 、 $(C_2H_5)_3PbOCH_2C(CH_3)_3$ 、 $Pb(C_{11}H_{19}O_2)_2$ 等を、 Zr については、 $Zr(n-OC_4H_9)_4$ 、 $Zr(t-OC_4H_9)_4$ 、 $Zr(C_{11}H_{19}O_2)_4$ 、 $Zr(C_{11}H_{19}O_2)_4$ 等を、 Ti については $Ti(i-C_3H_7)_4$ 等を用いることができ、 SBT の場合、 Sr については $Sr(C_{11}H_{10}O_2)_2$ 等を、 Bi については $Bi(C_6H_5)_3$ 等を、 Ta については $Ta(OC_2H_5)_5$ 等を用いることができる。

【0088】

(3) 第2信号電極の形成工程

図7に示すように、強誘電体層140上に、所定パターンの第2信号電極（上部電極）16を形成する。その形成方法は、例えば、強誘電体層140上に第2信号電極16を形成するための電極材料を成膜し、成膜された電極材料をパターンニングする。具体的には、成膜された電極材料層上に所定パターンのレジスト層30を形成し、このレジスト層30をマスクとして電極材料層を選択的にエッチングすることで、第2信号電極16が形成される。

【0089】

第2信号電極16の材料、成膜方法、リソグラフィーを用いたパターンニング方法については、前述した工程(1)の第1信号電極12の形成工程と同様である

ので、記載を省略する。

【0090】

(4) 強誘電体層のパターニング工程

図7および図8に示すように、レジスト層30をマスクとして、さらに強誘電体層140を選択的に除去して強誘電体層14をパターニングする。成膜された強誘電体材料を選択的に除去する方法としては、RIE、スパッタエッチング、プラズマエッチングなどのエッチング方法を用いることができる。その後、レジスト層30を公知の方法、例えば溶解あるいはアッシングによって除去する。

【0091】

(5) 誘電体層の形成工程

図6に示すように、強誘電体層14と第2信号電極16とからなる積層体の相互間に、誘電体層18を形成する。誘電体層18の形成方法としては、CVD、特にMOCVDなどの気相法、あるいはスピコート法やディップ法等の液相を用いた方法を用いることができる。

【0092】

誘電体層18は、前述したように、強誘電体キャパシタを構成する強誘電体層14より小さな誘電率を有する誘電体材料を用いることが好ましい。たとえば、強誘電体層としてPZT材料を用いた場合には、誘電体層18の材料としては、たとえば SiO_2 、 Ta_2O_5 、 SrTiO_3 、 MgO などの無機材料あるいはポリイミドなどの有機材料を用いることができ、強誘電体層14としてSBTを用いた場合には、誘電体層18の材料として、 SiO_2 、 Ta_2O_5 、 SrTiO_3 、 SrTa_2O_6 、 SrSnO_3 などの無機材料あるいはポリイミドなどの有機材料を用いることができる。

【0093】

以上の工程によって、メモリセルアレイ200Bが形成される。この製造方法によれば、強誘電体キャパシタ20を構成する強誘電体層14は、第2信号電極16のパターニングで用いたレジスト層30をマスクとして連続的にパターニングされるので、工程数を少なくできる。さらにこの場合、各層を別々のマスクでパターニングする場合に比べて、1つのマスクの合わせ余裕が不要となるので、

メモリセルアレイの高集積化も可能となる。

【 0 0 9 4 】

〔第 3 の実施の形態〕

図 9 は、第 3 の実施の形態に係る強誘電体キャパシタを有するメモリセルアレイの要部を模式的に示す平面図であり、図 1 0 は、図 9 の C - C 線に沿った断面図である。

【 0 0 9 5 】

第 3 の実施の形態において、第 1 の実施の形態のメモリセルアレイと実質的に同じ機能を有する部材には同一の符号を付して説明する。

【 0 0 9 6 】

本実施の形態は、強誘電体キャパシタを構成する強誘電体層が第 1 信号電極（下電極）上にライン状に積層されて形成されている点で、第 1 の実施の形態と異なる。

【 0 0 9 7 】

本実施の形態に係るメモリセルアレイ 2 0 0 C は、絶縁性の基体（たとえば層間絶縁層）1 0 上に、第 1 信号電極 1 2、強誘電体キャパシタを構成する第 1 強誘電体層 1 4 および第 2 信号電極 1 6 が積層されている。そして、第 1 信号電極 1 2、強誘電体層 1 4 および第 2 信号電極 1 6 によって強誘電体キャパシタ 2 0 が構成される。すなわち、第 1 信号電極 1 2 と第 2 信号電極 1 6 との交差領域において、それぞれ強誘電体キャパシタ 2 0 からなるメモリセルが構成されている。

【 0 0 9 8 】

第 1 信号電極 1 2 および第 2 信号電極 1 6 は、図 9 に示すように、X 方向および Y 方向にそれぞれ所定のピッチで配列されている。

【 0 0 9 9 】

強誘電体層 1 4 は、第 1 信号電極 1 2 上に選択的に形成されている。また、基体 1 0 上において、第 1 信号電極 1 2 の相互間には、後に詳述する表面修飾層 2 2 が配置されている。この表面修飾層 2 2 上には誘電体層 1 8 が形成されている。この誘電体層 1 8 は、強誘電体層 1 4 に比べて小さい誘電率を有することが望

ましい。このように第 1 信号電極 1 2 および強誘電体層 1 4 からなる積層体の相互間に、強誘電体層 1 4 より誘電率の小さい誘電体層 1 8 を介在させることにより、第 2 信号電極 1 6 の浮遊容量を小さくすることができる。その結果、強誘電体メモリ装置における書き込みおよび読み出しの動作をより高速に行うことが可能となる。

【0 1 0 0】

(デバイスの製造方法)

図 1 1 ～ 図 1 4 は、第 3 の実施の形態に係るメモリセルアレイ 2 0 0 C の製造工程を模式的に示す断面図である。

【0 1 0 1】

(1) 表面修飾層の形成

まず、基体 1 0 の表面特性に選択性を付与する工程を行う。ここで、基体 1 0 の表面特性に選択性を付与するとは、基体 1 0 の表面の、当該表面に堆積させるための材料に対してぬれ性等の表面特性の異なる領域を形成することである。

【0 1 0 2】

本実施の形態において、図 1 1 に示すように、具体的には、基体 1 0 の表面に、強誘電体キャパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性を有する第 1 の領域 2 4 と、第 1 の領域 2 4 よりも強誘電体キャパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性の小さい第 2 の領域 2 6 と、を形成する。そして、後続の工程で、この表面特性の差を利用し、各領域間での材料の堆積速度や基体との密着性における選択性により、第 1 の領域 2 4 には、強誘電体キャパシタが選択的に形成される。

【0 1 0 3】

すなわち、後続の工程で、強誘電体キャパシタの第 1 信号電極 1 2 および強誘電体層 1 4 の少なくとも一つを、例えば化学的気相成長法 (CVD 法)、物理的気相成長法または液相法を適用して、第 1 の領域 2 4 に選択的な堆積プロセスで形成することができる。この場合であって、例えば基体 1 0 の表面が、強誘電体キャパシタを構成する部材を形成するための材料が堆積され易い性質を有する場

合には、第1の領域24では表面を露出させ、第2の領域26では上記材料が堆積されにくい表面修飾層22を形成し、強誘電体キャパシタを構成する部材を形成するための材料の堆積に対する選択性を付与することができる。

【0104】

本実施の形態では、基体10の表面の全面に表面修飾層を形成してから、図11に示すように、第1の領域24で表面修飾層を除去して、第2の領域26に表面修飾層22を残す。詳しくは、次の工程を行う。

【0105】

表面修飾層22は、CVD等の気相成長法によって形成してもよいし、スピンコート法やディップ法等の液相を用いた方法によって形成してもよく、その場合には液体または溶媒に溶かした物質を使用する。このような物質としては、例えば、シランカップリング剤（有機ケイ素化合物）やチオール化合物を使用することができる。

【0106】

ここで、チオール化合物とは、メルカプト基（ $-SH$ ）を持つ有機化合物（ R^1-SH ； R^1 はアルキル基等の置換可能な炭化水素基）の総称をいう。このようなチオール化合物を、例えば、ジクロロメタン、トリクロロメタン等の有機溶剤に溶かして0.1～10mM程度の溶液とする。

【0107】

また、シランカップリング剤とは、 $R_n^2SiX_{4-n}$ （ n は自然数、 R^2 は水素、アルキル基等の置換可能な炭化水素基）で表される化合物であり、 X は $-OR^3$ 、 $-COOH$ 、 $-OOCR^3$ 、 $-NH_3-R^3_n$ 、 $-OCN$ 、ハロゲン等である（ R^3 はアルキル基等の置換可能な炭化水素基）。これらシランカップリング剤およびチオール化合物の中で、特に R^1 や R^3 が $C_nF_{2n+1}C_mH_{2m}$ （ n, m は自然数）であるようなフッ素原子を有する化合物は、表面自由エネルギーが高くなり他材料との親和性が小さくなるため、好適に用いられる。

【0108】

または、メルカプト基や $-COOH$ 基を有する化合物による上述した方法で得られる膜を用いることもできる。以上の材料による膜は、適切な方法により単分

子膜やその累積膜の形で用いることができる。

【0109】

本実施の形態では、図11に示すように、第1の領域24では、表面修飾層が形成されない。表面修飾層22として例えばシランカップリング剤を使用した場合、光を当てることで、基体10との界面で、分子の結合が切れて除去される場合がある。このような光によるパターンニングには、リソグラフィで行われるマスク露光を適用することができる。あるいは、マスクを使用せずに、レーザ、電子線またはイオンビームなどによって直接的にパターンニングしてもよい。

【0110】

なお、表面修飾層22自体を他の基体上に形成し、これを転写することにより第2の領域26に表面修飾層22を選択的に形成し、成膜と同時にパターンニングすることもできる。

【0111】

こうして、図11に示すように、第1の領域24と、表面修飾層22で被覆された状態となっている第2の領域26との間で、表面状態が異なるようにして、後続の工程における強誘電体キャパシタを構成する部材を形成するための材料との親和性に差を生じさせることができる。特に、表面修飾層22が、フッ素分子を有するなどの理由で、撥水性を有していれば、例えば強誘電体キャパシタを構成する部材の材料を液相にて提供する場合に、第1の領域24に選択的に当該材料を付与することができる。また、表面修飾層22の材料によっては、これが存在しない第1の領域24では、上層の部材を形成するための材料との親和性で気相法による成膜がされるようにすることができる。このように、第1の領域24と第2の領域26の表面の性質に選択性を付与し、後続の工程で、強誘電体メモリ装置の強誘電体キャパシタの部材（本実施の形態では第1信号電極12および強誘電体層14）を形成することができる。

【0112】

（2）第1信号電極の形成工程

図12に示すように、強誘電体キャパシタの下部電極となる第1信号電極12を、第1の領域24に対応して形成する。例えば、基体10の表面の全体に対し

て、気相法による成膜工程を行う。こうすることで、選択堆積プロセスが行われる。すなわち、第1の領域24では成膜がされ、第2の領域26では成膜がされにくいので、第1の領域24のみに第1信号電極12が形成される。ここで、気相法としてCVD、特にMOCVDを適用することが好ましい。第2の領域26では、全く成膜されないことが好ましいが、第1の領域24での成膜よりも、成膜スピードにおいて2桁以上遅ければよい。

【0113】

また、第1信号電極12の形成には、その材料の溶液を液相の状態第1の領域24に選択的に供給する方法、またはその材料の溶液を超音波等によりミスト化して第1の領域24に選択的に供給するミストデポジション法を採用することもできる。

【0114】

第1信号電極12を構成する材料としては、第1の実施の形態で述べたと同様に、例えば白金、イリジウム等を用いることができる。基体10上に第1の領域24と、前述したような材料を含む表面修飾層22（第2の領域26）とを形成し、表面特性の選択性を形成した場合、白金については、例えば $(C_5H_7O_2)_2Pt$ 、 $(C_5HFO_2)_2Pt$ 、 $(C_3H_5)(C_5H_5)Pt$ を電極を形成するための材料として、イリジウムについては、例えば $(C_3H_5)_3Ir$ を電極を形成するための材料として用いて、選択的に堆積させることができる。

【0115】

(3) 強誘電体層の形成工程

図13に示すように、第1信号電極12上に強誘電体層14を形成する。詳しくは、基体10の表面の全体に対して、例えば気相法による成膜工程を行う。こうすることで、第1信号電極12上では成膜がされ、第2の領域26では成膜がされにくいので、第1信号電極12上のみに強誘電体層14が形成される。ここで、気相法としてCVD、特にMOCVDを適用することができる。

【0116】

また、強誘電体層14の形成には、その材料の溶液を液相の状態第2の領域26以外の領域に形成された第1信号電極12上にインクジェット法等で選択的

に供給する方法、またはその材料の溶液を超音波等によりミスト化して第2の領域26以外の部分に選択的に供給するミストデポジション法を採用することもできる。

【0117】

強誘電体層14としては、強誘電性を示してキャパシタ絶縁層として使用できれば、その組成は任意のものを適用することができる。例えば、S B T系材料、P Z T系材料の他、ニオブや酸化ニッケル、酸化マグネシウム等の金属酸化物を添加したもの等が適用できる。強誘電体の具体例としては、第2の実施の形態で述べたものと同様のものを例示できる。さらに、強誘電体の材料の具体例としては、第2の実施の形態で述べたものと同様のものを例示できる。

【0118】

また、強誘電体層14は、次のようにして形成することもできる。強誘電体前駆層を形成し、強誘電体前駆層を熱処理することにより、強誘電体層を形成することもできる。強誘電体前駆層としては、非晶質状態または微結晶状態のS B T膜、非晶質状態または微結晶状態のP Z T膜を挙げることができる。強誘電体前駆層の形成方法としては、塗布法、スパッタ法、C V D法、レーザーアブレーション法などを挙げることができる。熱処理の温度は、膜質により異なるが、非晶質状態のS B T膜の場合たとえば600～700℃、好ましくは600～650℃であり、非晶質状態のP Z T膜の場合たとえば400～500℃、好ましくは400～450℃である。この強誘電体層の形成方法によれば、他の形成方法に比べて形成温度を低くして、強誘電体層を形成することができる。このため、他の形成法に比べて、強誘電体の構成物質が、基体10から剥離してしまうのを確実に防止することができる。

【0119】

(4) 誘電体層の形成工程

図14に示すように、第2の領域26上に、すなわち、第1の領域24に形成された、第1信号電極12と強誘電体層14とからなる積層体の相互間の領域に、誘電体層18を形成する。誘電体層18の形成方法としては、C V D、特にM O C V Dなどの気相法、あるいはスピコート法やディップ法等の液相を用いた

方法を用いることができる。誘電体層 1 8 は、たとえば CMP (Chemical Mechanical Polishing) 法などによって、強誘電体層 1 4 と同一レベルの表面を有するように平坦化されることが好ましい。このように誘電体層 1 8 を平坦化することにより、第 2 信号電極 1 6 の形成が容易かつ正確に行われる。

【0 1 2 0】

誘電体層 1 8 は、強誘電体キャパシタを構成する強誘電体層 1 4 より小さな誘電率を有する誘電体材料を用いることが好ましい。たとえば、強誘電体層として P Z T 材料を用いた場合には、誘電体層 1 8 の材料としては、たとえば SiO_2 、 Ta_2O_5 、 SrTiO_3 、 MgO などの無機材料あるいはポリイミドなどの有機材料を用いることができ、強誘電体層 1 4 として S B T を用いた場合には、誘電体層 1 8 の材料として、 SiO_2 、 Ta_2O_5 、 SrTiO_3 、 SrTa_2O_6 、 SrSnO_3 などの無機材料あるいはポリイミドなどの有機材料を用いることができる。

【0 1 2 1】

(5) 第 2 信号電極の形成工程

図 1 0 に示すように、強誘電体層 1 4 および誘電体層 1 8 上に所定パターンの第 2 信号電極 (上部電極) 1 6 を形成する。その形成方法は、例えば、強誘電体層 1 4 および誘電体層 1 8 上に第 2 信号電極 1 6 を形成するための電極材料を成膜し、成膜された電極材料をパターニングする。

【0 1 2 2】

電極材料は、強誘電体キャパシタの一部となるための機能を有するものであれば特に限定されるものではない。例えば、強誘電体層 1 4 を構成する材料として P Z T を用いる場合には、第 2 の実施の形態と同様に、第 2 信号電極 1 6 を構成する電極材料として、白金、イリジウムおよびその化合物等を用いることができる。第 2 信号電極 1 6 は、単層または複数の層を積層したものをを用いることができる。

【0 1 2 3】

電極材料の成膜方法としては、第 1 の実施の形態と同様に、スパッタリング、真空蒸着、C V D 等の方法が利用できる。パターニング方法としては、リソグラ

フィ技術を利用することができる。

【0124】

さらに、必要に応じて、強誘電体層14、誘電体層18および第2信号電極16の表面に絶縁性の保護層を全体的に形成する。このようにして、本実施の形態に係るメモリセルアレイ200Cを形成することができる。

【0125】

本実施の形態の製造方法によれば、第1の領域24には強誘電体キャパシタを構成する少なくとも一部材を選択的に形成することができ、第2の領域26にはこれが形成されにくい。こうして、エッチングを行うことなく、第1信号電極（下電極）および強誘電体層の少なくとも1つ（本実施の形態では第1信号電極12および強誘電体層14）を形成することができる。この方法によれば、第1信号電極のパターニングとしてスパッタエッチングを用いた場合のように、エッチングにより生ずる二次生成物に起因する再付着物の問題を回避することができる。

【0126】

本実施の形態の製造方法においては、図13に示す工程の後に、第2の領域26上で、表面修飾層22を除去してもよい。この工程は、第1信号電極12および強誘電体層14の成膜工程が完了してから行う。例えば、表面修飾層のパターニング工程で説明した方法で、表面修飾層22を除去することができる。表面修飾層22を除去するときに、その上に付着した物質も除去することが好ましい。例えば、表面修飾層22上に、第1信号電極12または強誘電体層14の材料が付着したときに、これらを除去してもよい。なお、表面修飾層22を除去する工程は、本発明の必須要件ではなく、表面修飾層22を残してもよい。

【0127】

また、第1信号電極12の側面に強誘電体層14が形成されている場合には、これらを除去することが好ましい。除去工程では、例えば、ドライエッチングを適用することができる。

【0128】

上記実施の形態では、表面修飾層22を第2の領域26に形成し、第1の領域

24 および第2の領域26の表面のそれぞれを、続いて形成される強誘電体キャパシタの少なくとも一部材（第1信号電極および強誘電体層の少なくとも一方）を形成するための材料の堆積性、すなわち堆積され易さが異なるような表面特性にした。その変形例として、表面修飾層22を第1の領域24に形成し、強誘電体キャパシタの少なくとも一部材を形成するための材料を表面修飾層22の表面に対して優先的に堆積されるように液相または気相の組成に調製して、第1の領域24に選択的に強誘電体キャパシタを形成してもよい。

【0129】

また、例えば第2の領域26の表面に前述したような表面修飾層の薄い層を選択的に形成し、第1の領域24および第2の領域26を含む全面に強誘電体キャパシタの少なくとも一部材を形成するための材料を気相または液相で供給し、全面に当該部材の材料の層を形成し、ポリッシングや化学的な手法で表面修飾膜の薄い層上の当該部材の材料層のみを選択的に除去し、第1の領域24上に選択的に当該部材の材料層を得ることもできる。

【0130】

その他、第1の領域24および第2の領域26の表面のそれぞれには、特に明確に層を設けず、選択的に表面処理を行い、第1の領域24上に強誘電体キャパシタの少なくとも一部材を形成するための材料が優先的に堆積されるようにしてもよい。

【0131】

本実施の形態で特徴とする、表面修飾層を用いた第1信号電極（下電極）および強誘電体層の形成については、本願出願人による特許協力条約に基づく国際出願（出願番号PCT/JPO0/03590）に記載されている。

【0132】

本実施の形態に係る強誘電体メモリ装置の製造方法は、次の変形が可能である。

【0133】

表面修飾層を利用せず、下部電極および強誘電体層を順次堆積し、強誘電体層および下部電極を同一マスクで連続的にパターンニングすることもできる。

【0134】

[第4の実施の形態]

図15は、本実施の形態に係る強誘電体キャパシタを有するメモリセルアレイの要部を模式的に示す平面図であり、図16は、図15のD-D線に沿った断面図であり、図17は、図15のE1-E1線に沿った断面図であり、図18は、図15のE2-E2線に沿った断面図である。

【0135】

本実施の形態において、第1の実施の形態のメモリセルアレイと実質的に同じ機能を有する部材には同一の符号を付して説明する。

【0136】

本実施の形態は、強誘電体キャパシタを構成する強誘電体層14が第1信号電極12と第2信号電極16との交差領域にのみ形成されている点で、第1および第2の実施の形態と異なる。

【0137】

本実施の形態に係るメモリセルアレイ200Dは、絶縁性の基体10上に、第1信号電極12、強誘電体キャパシタを構成する強誘電体層14および第2信号電極16が積層されている。そして、第1信号電極12、強誘電体層14および第2信号電極16によって強誘電体キャパシタ20が構成される。すなわち、第1信号電極12と第2信号電極16との交差領域において、それぞれ強誘電体キャパシタ20からなるメモリセルが構成されている。第1信号電極12および第2信号電極16は、図15に示すように、X方向およびY方向にそれぞれ所定のピッチで配列されている。

【0138】

強誘電体層14は、第1信号電極12および第2信号電極16の交差領域にのみ選択的に形成されている。図16に示すように、第2信号電極16に沿ってみると、基体10上において、第1信号電極12上に強誘電体層14および第2信号電極16が積層され、さらに、第1信号電極12の相互間には表面修飾層22が配置され、この表面修飾層22上には誘電体層18が形成されている。また、図17に示すように、第1信号電極12に沿ってみると、第1信号電極12の所

定位置において、強誘電体層 14 と第 2 信号電極 16 とが積層されている。そして、強誘電体層 14 および第 2 信号電極 16 の積層体の相互間には何も無い状態である。図 17 に示すように、第 1 信号電極 12 上に沿ってみると、第 1 信号電極 12 の所定位置において、強誘電体層 14 と第 2 信号電極 16 とが積層されている。図 18 に示すように、X 方向であって第 1 信号電極 12 が形成されていない部分についてみると、表面修飾層 22 上の所定位置において、誘電体層 180 と第 2 信号電極 16 とが積層されている。そして、強誘電体層 14 および第 2 信号電極 16 の積層体の相互間、ならびに誘電体層 180 および第 2 信号電極 16 の積層体の相互間には、必要に応じて誘電体層を形成することができる。

【0139】

誘電体層 180 ならびに必要に応じて形成される上記誘電体層は、強誘電体層 14 に比べて小さい誘電率を有することが望ましい。このように第 1 信号電極 12 および強誘電体層 14 からなる積層体の相互間、あるいは強誘電体層 14 および第 2 信号電極 16 からなる積層体の相互間に、強誘電体層 14 より誘電率の小さい誘電体層を介在させることにより、第 1 信号電極 12 および第 2 信号電極 16 の浮遊容量を小さくすることができる。その結果、強誘電体メモリ装置における書き込みおよび読み出しの動作をより高速に行うことが可能となる。

【0140】

また、本実施の形態では、強誘電体キャパシタ 20 を構成する強誘電体層 14 は、第 1 信号電極 12 と第 2 信号電極 16 との交差領域にのみ形成されている。このような構造によれば、第 1 信号電極 12 および第 2 信号電極 16 双方の浮遊容量を小さくすることができる点で有利である。

【0141】

(デバイスの製造方法)

図 19～図 26 は、本実施の形態に係るメモリセルアレイ 200D の製造工程を模式的に示す断面図である。

【0142】

(1) 表面修飾層の形成

まず、基体 10 の表面特性に選択性を付与する工程を行う。ここで、基体 10

の表面特性に選択性を付与するとは、基体 1 0 の表面の、当該表面に堆積させるための材料に対してぬれ性等の表面特性の異なる領域を形成することである。この点については第 2 の実施の形態で詳細に説明したので、簡単に説明する。

【0 1 4 3】

本実施の形態において、図 2 0 に示すように、具体的には、基体 1 0 の表面に、強誘電体キャパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性を有する第 1 の領域 2 4 と、第 1 の領域 2 4 よりも強誘電体キャパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性の小さい第 2 の領域 2 6 と、を形成する。そして、後続の工程で、この表面特性の差を利用し、各領域間での材料の堆積速度や基体との密着性における選択性により、第 1 の領域 2 4 には、強誘電体キャパシタが選択的に形成される。

【0 1 4 4】

すなわち、例えば基体 1 0 の表面が、強誘電体キャパシタを構成する部材を形成するための材料が堆積され易い性質を有する場合には、第 1 の領域 2 4 では表面を露出させ、第 2 の領域 2 6 では上記材料が堆積されにくい表面修飾層 2 2 を形成し、強誘電体キャパシタを構成する部材を形成するための材料の堆積に対する選択性を付与することができる。

【0 1 4 5】

本実施の形態では、基体 1 0 の表面の全面に表面修飾層を形成してから、図 2 0 に示すように、第 1 の領域 2 4 で表面修飾層を除去して、第 2 の領域 2 6 に表面修飾層 2 2 を残す。表面修飾層 2 2 の形成方法については、第 2 の実施の形態で述べた方法と同様の方法を採用できる。

【0 1 4 6】

(2) 第 1 信号電極の形成工程

図 2 1 に示すように、強誘電体キャパシタの下部電極となる第 1 信号電極 1 2 を、第 1 の領域 2 4 に対応して形成する。第 1 信号電極 1 2 の形成方法および電極材料については、第 2 の実施の形態で述べた方法および材料と同様のものを採用できる。

【0147】

(3) 強誘電体層の形成工程

図22に示すように、第1信号電極12上に強誘電体層140を形成する。詳しくは、基体10の表面の全体に対して、例えば気相法による成膜工程を行う。こうすることで、第1信号電極12上では成膜がされ、第2の領域26では成膜がされにくいので、第1信号電極12上のみに強誘電体層140が形成される。強誘電体層140の成膜方法としては、第2の実施の形態で述べたと同様の方法を採用できる。

【0148】

強誘電体層14としては、強誘電性を示してキャパシタ絶縁層として使用できれば、その組成は任意のものを適用することができる。例えば、S B T系材料、P Z T系材料の他、ニオブやニッケル、マグネシウム等の金属を添加したもの等が適用できる。強誘電体の具体例としては、第1の実施の形態で述べたものと同様のものを例示できる。さらに、強誘電体の材料の具体例としては、第1の実施の形態で述べたものと同様のものを例示できる。

【0149】

(4) 誘電体層の形成工程

図19および図23に示すように、第2の領域26上に、すなわち、第1の領域24に形成された、第1信号電極12と強誘電体層14とからなる積層体の相互間の領域に、誘電体層180を形成する。図23は、図19のE3-E3線に沿った断面図である。

【0150】

誘電体層180の形成方法としては、第1の実施の形態で述べたと同様の方法を採用できる。さらに、誘電体層180は、たとえばCMP法などによって、強誘電体層140と同一レベルの表面を有するように平坦化されることが好ましい。このように誘電体層180を平坦化することにより、第2信号電極16の形成が容易かつ正確に行われる。

【0151】

誘電体層180は、強誘電体キャパシタを構成する強誘電体層14より小さな

誘電率を有する誘電体材料を用いることが好ましい。たとえば、強誘電体層として P Z T 材料を用いた場合には、誘電体層 1 8 0 の材料としては、たとえば SiO_2 、 Ta_2O_5 、 SrTiO_3 、 MgO などの無機材料あるいはポリイミドなどの有機材料を用いることができ、強誘電体層 1 4 として S B T を用いた場合には、誘電体層 1 8 0 の材料として、 SiO_2 、 Ta_2O_5 、 SrTiO_3 、 SrTa_2O_6 、 SrSnO_3 などの無機材料あるいはポリイミドなどの有機材料を用いることができる。

【0152】

以上の工程 (1) ~ (4) によって、第 1 の領域 2 4 に第 1 信号電極 1 2 および強誘電体層 1 4 0 が積層され、第 2 の領域 2 6 に表面修飾層 2 2 および誘電体層 1 8 0 が積層される。

【0153】

(5) 第 2 信号電極の形成工程

図 2 4 ~ 図 2 6 に示すように、強誘電体層 1 4 0 および誘電体層 1 8 0 上に所定パターンの第 2 信号電極 (上部電極) 1 6 を形成する。その形成方法は、例えば、強誘電体層 1 4 0 および誘電体層 1 8 0 上に、第 2 信号電極 1 6 を形成するための電極材料を成膜し、成膜された電極材料をパターニングする。

【0154】

電極材料は、強誘電体キャパシタの一部となるための機能を有するものであれば特に限定されるものではない。強誘電体層 1 4 0 を構成する材料としては、第 2 の実施の形態で述べたと同様なものを採用できる。また、電極材料の成膜方法としては、第 1 の実施の形態と同様に、スパッタリング、真空蒸着、C V D 等の方法が利用でき、パターニング方法としては、リソグラフィ技術を利用することができる。

【0155】

例えば、第 2 の実施の形態と同様に、図示しないレジスト層を第 2 信号電極 1 6 のための電極材料層上に形成し、これをマスクとしてエッチングを行うことで、第 2 信号電極 1 6 をパターニングできる。

【0156】

(6) 強誘電体層のパターニング工程

図 1 7 および図 1 8 に示すように、図示しないレジスト層をマスクとして、さらに強誘電体層 1 4 0 を選択的に除去して強誘電体層 1 4 をパターニングする。成膜された強誘電体材料を選択的に除去する方法としては、第 2 の実施の形態と同様に、R I E、スパッタエッチング、プラズマエッチングなどのエッチング方法を用いることができる。その後、レジスト層を公知の方法、例えば溶解あるいはアッシングによって除去する。

【0 1 5 7】

(7) 誘電体層の形成工程

さらに、必要に応じて、強誘電体層 1 4 と第 2 信号電極 1 6 とからなる積層体の相互間、ならびに表面修飾層 2 2 と第 2 信号電極 1 6 とからなる積層体の相互間に、図示しない誘電体層を形成する。誘電体層の形成方法としては、工程 (4) の誘電体層 1 8 0 と同様の方法を用いることができる。

【0 1 5 8】

以上の工程によって、メモリセルアレイ 2 0 0 D が形成される。この製造方法によれば、第 2 の実施の形態および第 3 の実施の形態での利点を有する。すなわち、エッチングを行うことなく、第 1 信号電極 (下電極) および強誘電体層の少なくとも 1 つ (本実施の形態では第 1 信号電極 1 2 および強誘電体層 1 4) を形成することができる。したがって、第 1 信号電極のパターニングとしてスパッタエッチングを用いた場合のように、エッチングにより生ずる二次生成物に起因する再付着物の問題を回避することができる。また、第 2 信号電極 1 6 のパターニングで用いたレジスト層をマスクとして連続的にパターニングされるので、工程数を少なくできる。さらにこの場合、各層を別々のマスクでパターニングする場合に比べて、1 つのマスクの合わせ余裕が不要となるので、メモリセルアレイの高集積化も可能となる。

【0 1 5 9】

以上、強誘電体キャパシタの存在しない領域に誘電体層 1 8 または 1 8 0 を形成する例を示してきたが、もちろん、本発明は、誘電体層 1 8 または 1 8 0 を設けない構成にも適用できる。

【0160】

上記の実施の形態に係る強誘電体メモリ装置は、次のようにして形成してもよい。

【0161】

基体の上に、下部電極をCVD法などにより形成し、その下部電極をパターンニングする。次に、下部電極を含む基体の上に、強誘電体層を形成し、その強誘電体層をパターンニングする。次に、強誘電体層を含む基体の上に、上部電極を形成し、上部電極をパターンニングする。

【0162】

[メモリセルアレイの変形例]

次に、メモリセルアレイの変形例について、図27～図31を参照しながら説明する。

【0163】

(1) 第1の変形例

図27は、メモリセルアレイ100Eの要部を示す断面図である。このメモリセルアレイ100Eは、絶縁性基板400と、この絶縁性基板400に形成された溝内に設けられた第1信号電極12と、強誘電体層14と、第2信号電極16とを有する。この例において特徴的なことは、第1信号電極12がいわゆるダマシン法によって形成されていることである。たとえば、第1信号電極12は、酸化シリコン層からなる絶縁性基板400に所定パターンの溝を形成した後、この溝内にたとえば白金などの金属をメッキによって充填し、その後CMP法によって金属層を研磨し平坦化することにより形成される。

【0164】

このようにダマシン法によって第1信号電極を形成することにより、絶縁性基板400上に段差のない状態で強誘電体層14を形成できるので、強誘電体層14が容易に形成できる。また、第1信号配線12の高さを大きくすることによりその抵抗を小さくできるので、高速の書き込み、読み出しが可能となる。

【0165】

(2) 第2の変形例

図 2 8 は、メモリセルアレイ 1 0 0 F の要部を模式的に示す断面図である。この例では、絶縁性基板 4 0 0 に所定パターンの凹部 4 1 0 と凸部 4 2 0 とが形成されている。そして、凹部 4 1 0 の底面および凸部 4 2 0 の上面に、それぞれ第 1 信号電極 1 2 a および 1 2 b が形成されている。これらの第 1 信号電極 1 2 a , 1 2 b が形成された絶縁性基板 4 0 0 上には強誘電体層 1 4 が形成され、さらに強誘電体層 1 4 上には所定パターンの第 2 信号電極 1 6 が形成されている。この構造のメモリセルアレイ 1 0 0 F においては、強誘電体キャパシタが上下方向に離れた状態で交互に形成されていることから、平面的に見て隣接する第 1 信号電極 1 2 a と第 1 信号電極 1 2 b との間にスペースをとる必要がない。そのため、メモリセルを極めて高い集積度で配置することができる。

【 0 1 6 6 】

(3) 第 3 の変形例

図 2 9 は、本実施の形態に係る強誘電体メモリ装置を模式的に示す平面図である。この強誘電体メモリ装置 4 0 0 0 は、例えば第 1 の実施の形態に係る強誘電体メモリ装置 1 0 0 0 を単位ブロック 1 0 0 0 A とし、これを複数個配列した点に特徴を有する。このように強誘電体メモリ装置を分割した状態で配置することにより、信号電極の配線長を適正なものにすることができ、その結果高速の書き込み、読み出しが可能となる。単位ブロックとしては、第 1 の実施の形態のメモリ装置と同様の構成を有する単位ブロック 1 0 0 0 A の代わりに、第 2 の実施の形態に係るメモリ装置 2 0 0 0 , 3 0 0 0 を単位ブロック 2 0 0 0 A , 3 0 0 0 A とすることもできる。

【 0 1 6 7 】

(4) 第 4 の変形例

上記実施の形態においては、メモリセルアレイは、1 層のみである。しかし、これに限定されず、図 3 0 に示すように、2 層以上であってもよい。すなわち、複数のメモリセルアレイ 1 0 0 a , 1 0 0 b が、層間絶縁層などの保護層を介して積層されていてもよい。

【 0 1 6 8 】

(5) 第 5 の変形例

図 3 1 に示すように、第 1 信号電極 1 2 間に、上面が第 1 信号電極 1 2 の上面と面一の絶縁層 4 0 を形成することができる。この場合、強誘電体層を平坦な面上に形成することができるため、強誘電体層のパターニングの精度を向上させることができる。

【 0 1 6 9 】

この絶縁層の形成方法としては、溶液塗布法を挙げることができる。また、選択成長法を利用して絶縁層を形成することもできる。具体的な選択成長の方法は、第 3 および第 4 の実施の形態で述べた方法を適用することができる。

【 0 1 7 0 】

また、絶縁層を先に形成して、絶縁層間に金属層を充填して、第 1 信号電極を形成してもよい。金属層の充填は、溶液塗布法を挙げることができる。使用される溶液は、たとえば 3 nm (3 0 Å) の金属微粉末が分散された溶液を挙げることができる。

【 0 1 7 1 】

[エンベデット半導体装置への適用例]

図 3 2 は、上記実施の形態の強誘電体メモリ装置が適用された、エンベデット装置のレイアウトを示す模式図である。この例では、エンベデット装置 2 0 0 0 は、フラッシュメモリ 9 0 と、プロセッサ 9 4 と、アナログ回路 9 6 とが SOG (Sea of Gate) に混載されている。また、SRAM が混載されていてもよい。

【 0 1 7 2 】

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【図面の簡単な説明】

【図 1】

第 1 の実施の形態に係る強誘電体メモリ装置を模式的に示す平面図である。

【図 2】

図 1 の A - A 線に沿って強誘電体メモリ装置の一部を模式的に示す断面図である。

【図 3】

強誘電体メモリ装置の製造工程を模式的に示す断面図である。

【図 4】

強誘電体メモリ装置の製造工程を模式的に示す断面図である。

【図 5】

メモリセルアレイの一部を拡大して示す平面図である。

【図 6】

図 5 の B - B 線に沿った断面図である。

【図 7】

強誘電体メモリ装置 1 0 0 0 の製造工程を模式的に示す断面図である。

【図 8】

強誘電体メモリ装置 1 0 0 0 の製造工程を模式的に示す断面図である。

【図 9】

第 3 の実施の形態に係る強誘電体キャパシタを有するメモリセルアレイの要部を模式的に示す平面図である。

【図 1 0】

図 9 の C - C 線に沿った断面図である。

【図 1 1】

第 3 の実施の形態に係るメモリセルアレイ 2 0 0 C の製造工程を模式的に示す断面図である。

【図 1 2】

第 3 の実施の形態に係るメモリセルアレイ 2 0 0 C の製造工程を模式的に示す断面図である。

【図 1 3】

第 3 の実施の形態に係るメモリセルアレイ 2 0 0 C の製造工程を模式的に示す断面図である。

【図 1 4】

第 3 の実施の形態に係るメモリセルアレイ 2 0 0 C の製造工程を模式的に示す断面図である。

【図 1 5】

本実施の形態に係る強誘電体キャパシタを有するメモリセルアレイの要部を模式的に示す平面図である。

【図 1 6】

図 1 5 の D - D 線に沿った断面図である。

【図 1 7】

図 1 5 の E 1 - E 1 線に沿った断面図である。

【図 1 8】

図 1 5 の E 2 - E 2 線に沿った断面図である。

【図 1 9】

本実施の形態に係るメモリセルアレイ 2 0 0 D の製造工程を模式的に示す図である。

【図 2 0】

本実施の形態に係るメモリセルアレイ 2 0 0 D の製造工程を模式的に示す図である。

【図 2 1】

本実施の形態に係るメモリセルアレイ 2 0 0 D の製造工程を模式的に示す図である。

【図 2 2】

本実施の形態に係るメモリセルアレイ 2 0 0 D の製造工程を模式的に示す図である。

【図 2 3】

本実施の形態に係るメモリセルアレイ 2 0 0 D の製造工程を模式的に示す図である。

【図 2 4】

本実施の形態に係るメモリセルアレイ 2 0 0 D の製造工程を模式的に示す図である。

【図 2 5】

本実施の形態に係るメモリセルアレイ 2 0 0 D の製造工程を模式的に示す図である。

【図 2 6】

本実施の形態に係るメモリセルアレイ 2 0 0 D の製造工程を模式的に示す図である。

【図 2 7】

メモリセルアレイの変形例を模式的に示す断面図である。

【図 2 8】

メモリセルアレイの変形例を模式的に示す断面図である。

【図 2 9】

メモリセルアレイの変形例を模式的に示す断面図である。

【図 3 0】

メモリセルアレイの変形例を模式的に示す断面図である。

【図 3 1】

メモリセルアレイの変形例を模式的に示す断面図である。

【図 3 2】

本発明の強誘電体メモリ装置を適用したエンベデット装置の一例を模式的に示す平面図である。

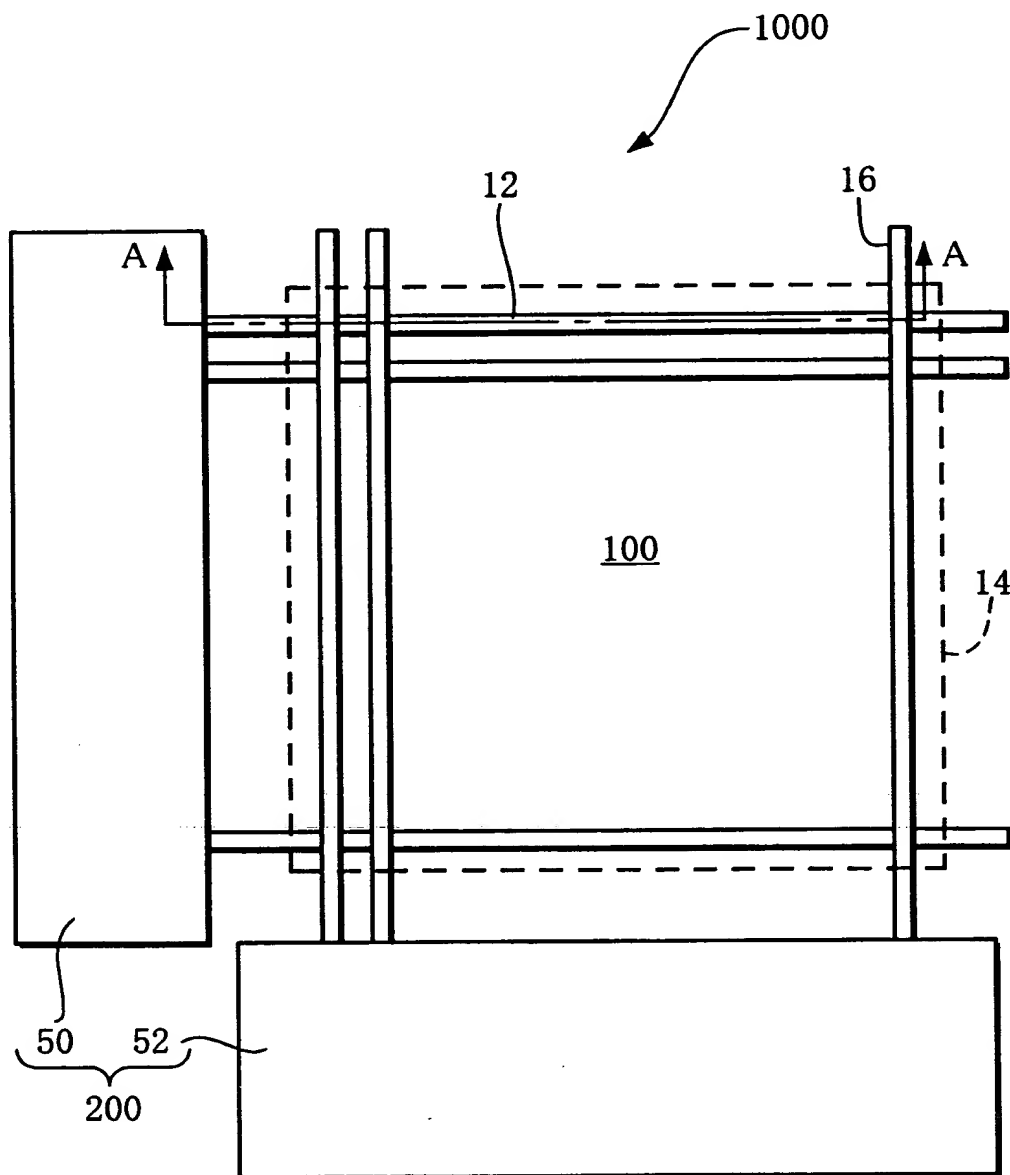
【符号の説明】

1 0	第 1 層間絶縁層
1 2	第 1 信号電極
1 4	強誘電体層
1 6	第 2 信号電極
1 8	誘電体層
3 6	第 1 保護層
3 8	第 2 保護層
5 0	第 1 駆動回路
5 2	第 2 駆動回路
1 0 0	メモリセルアレイ
1 1 0	半導体基板
1 1 2	MOS トランジスタ

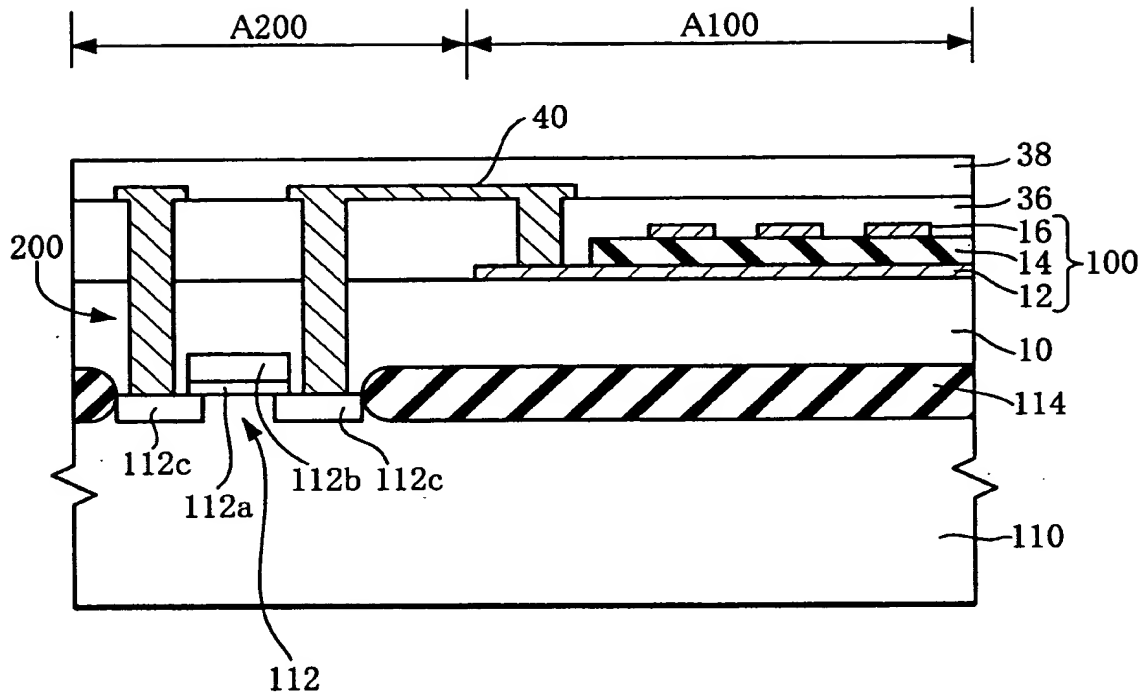
- 1 1 2 a ゲート絶縁層
- 1 1 2 b ゲート電極
- 1 1 2 c ソース／ドレイン領域
- 1 1 4 素子分離領域
- 2 0 0 周辺回路部
- 1 0 0 0 強誘電体メモリ装置

【書類名】 図面

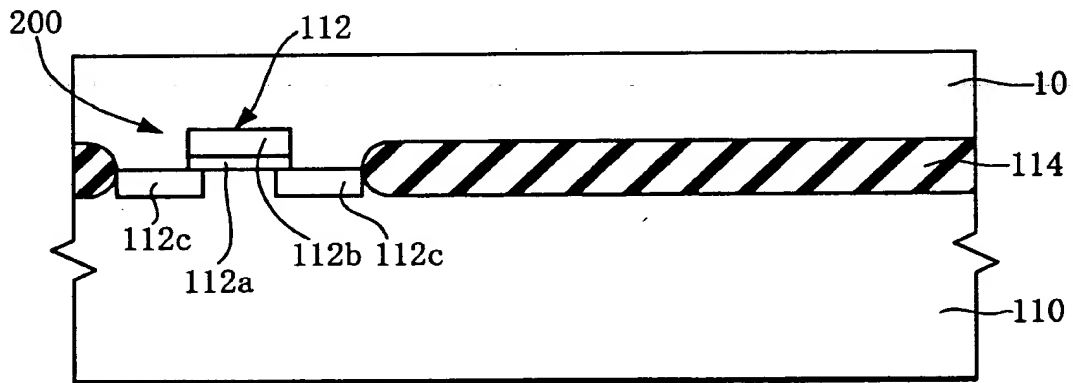
【図 1】



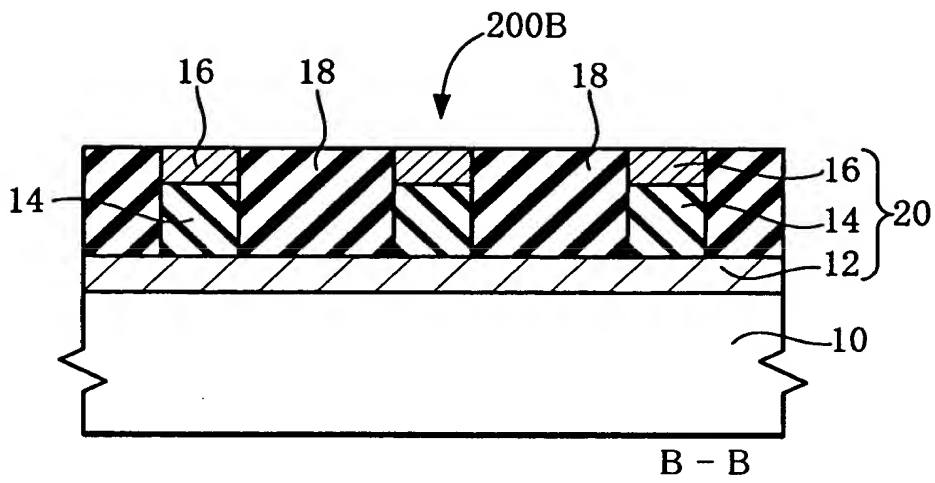
【図 2】



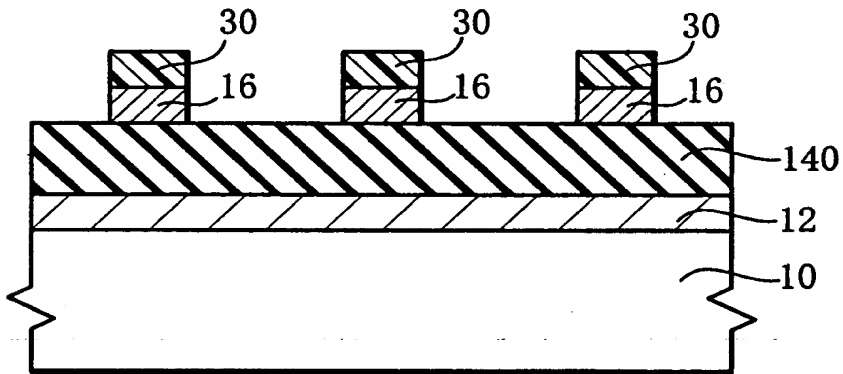
【図 3】



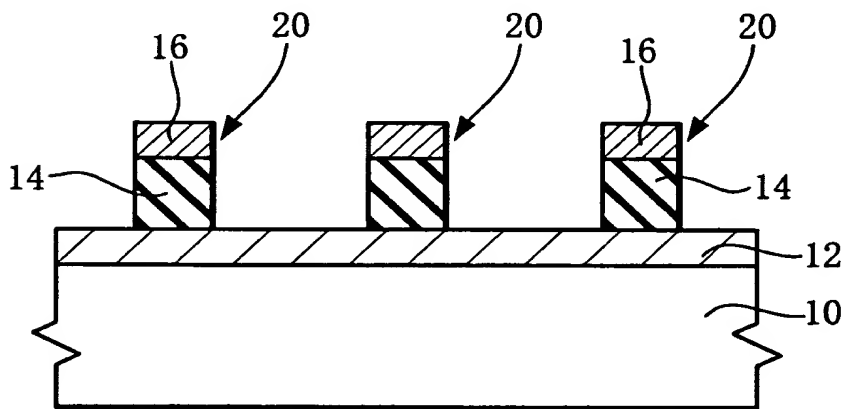
【図 6】



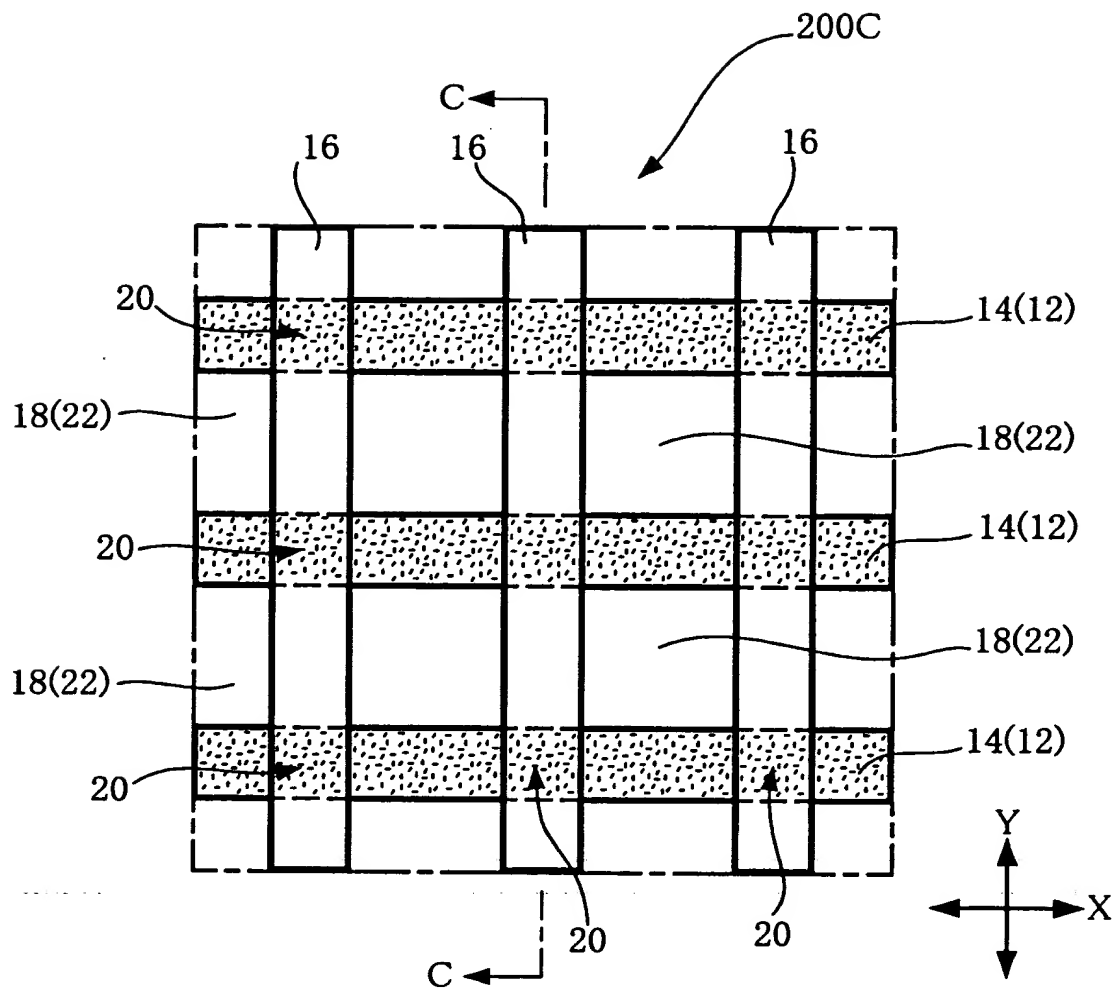
【図 7】



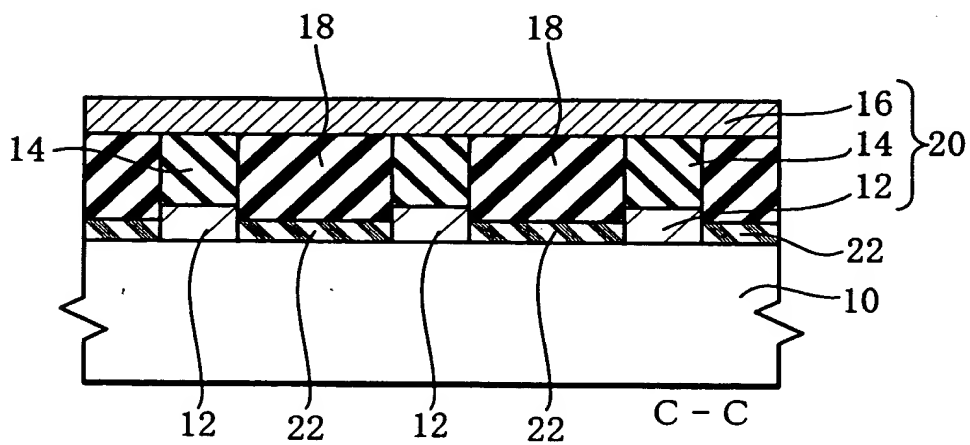
【図 8】



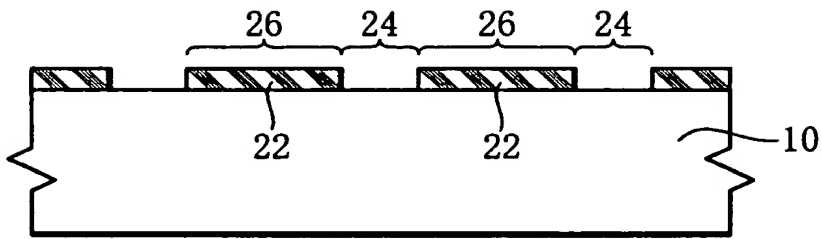
【図 9】



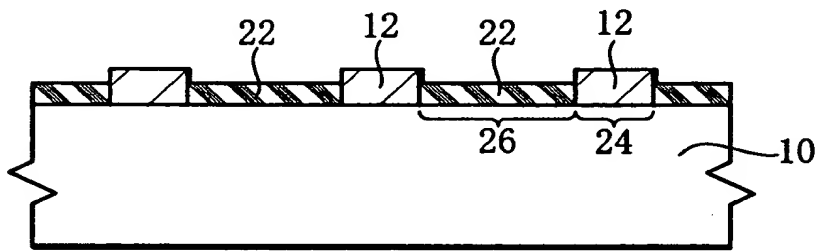
【図 1 0】



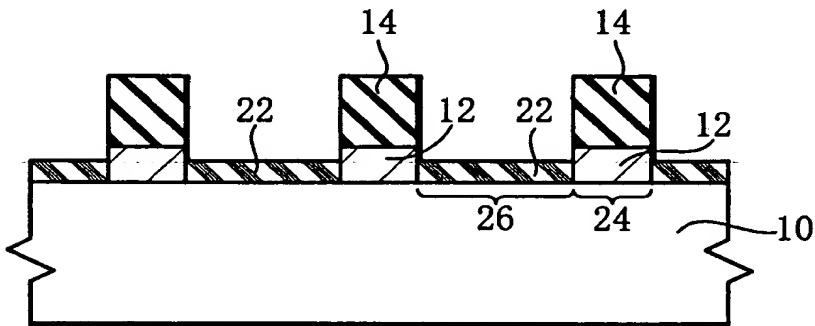
【図 1 1】



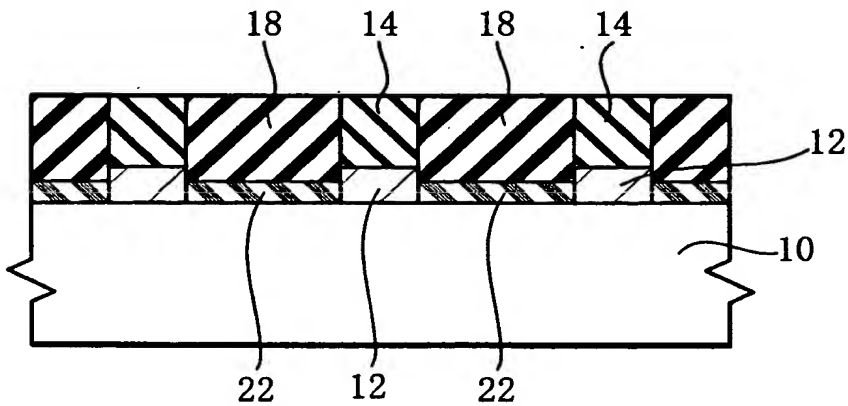
【図 1 2】



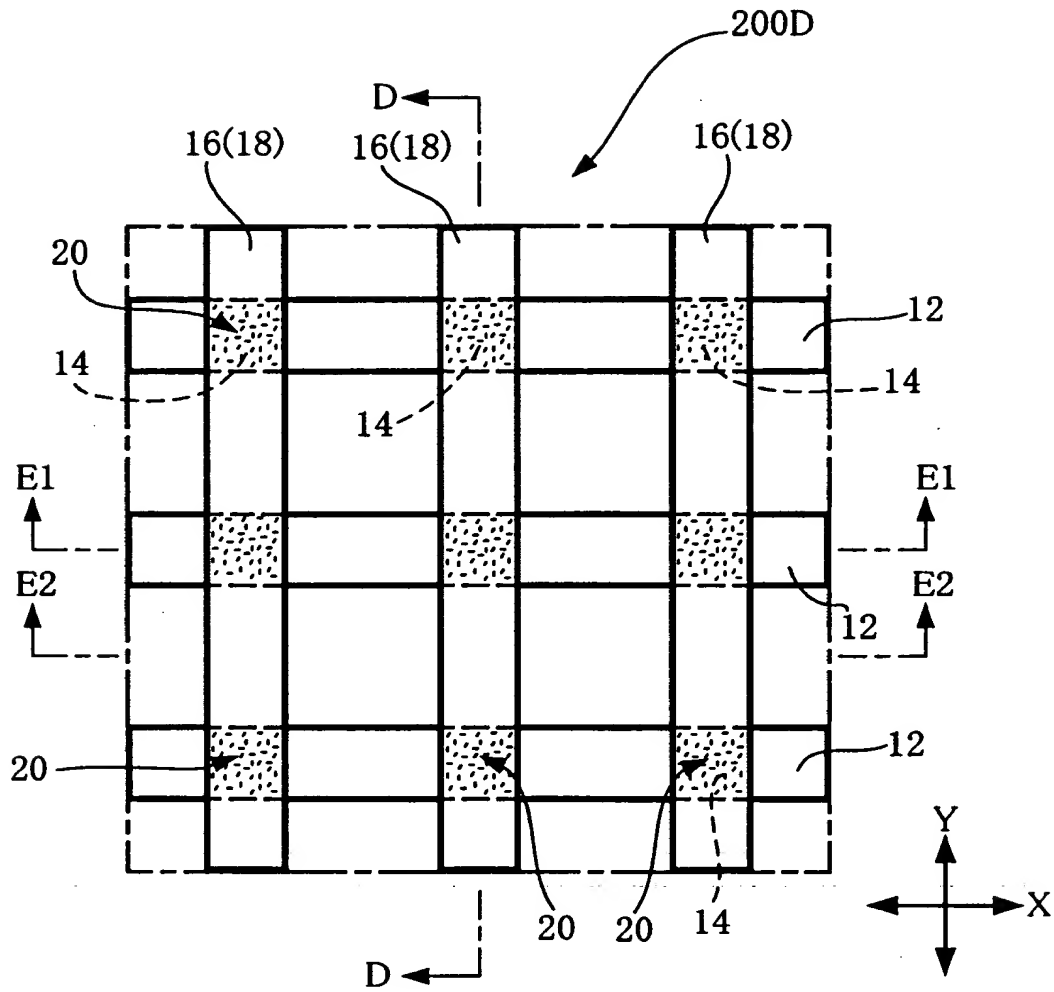
【図 1 3】



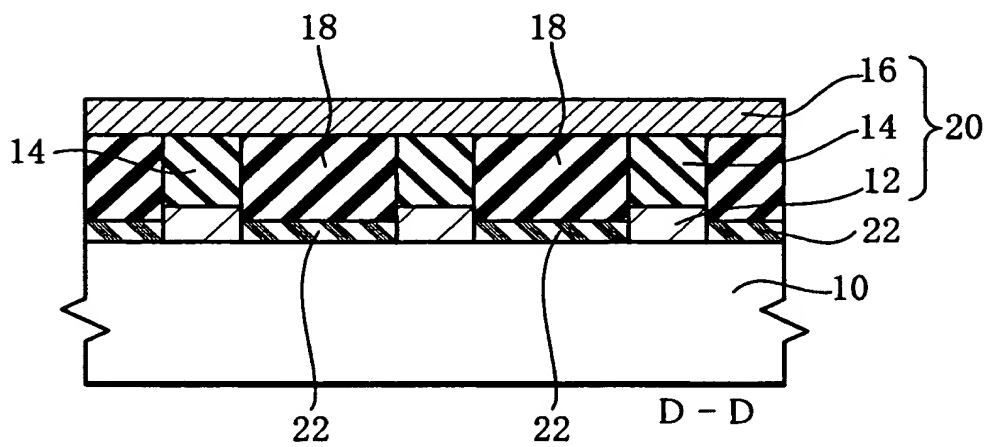
【図 1 4】



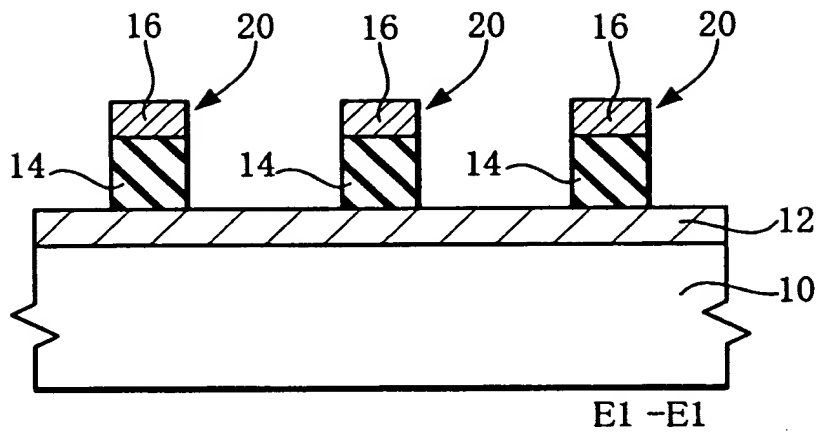
【図 15】



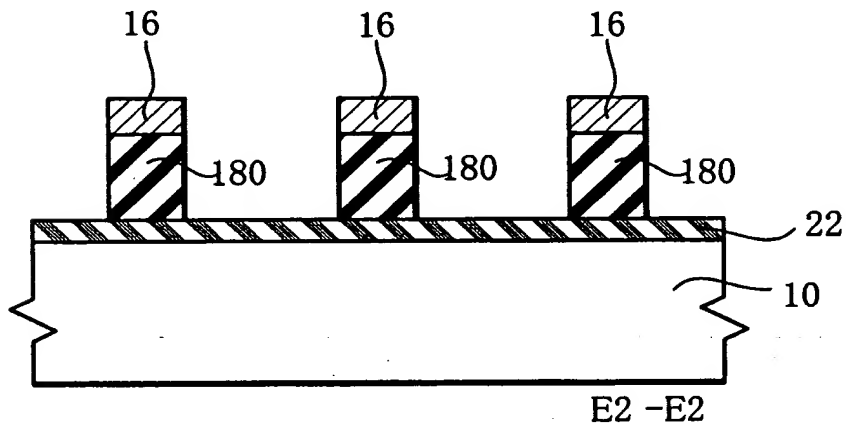
【図 16】



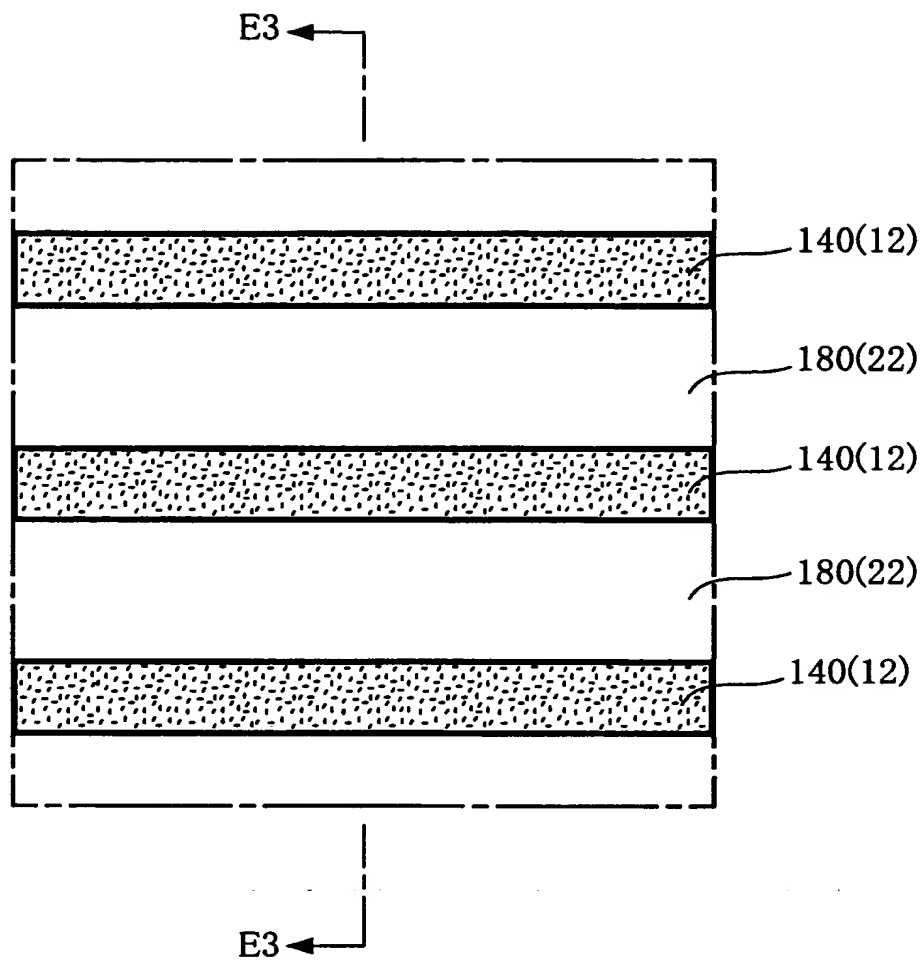
【図 17】



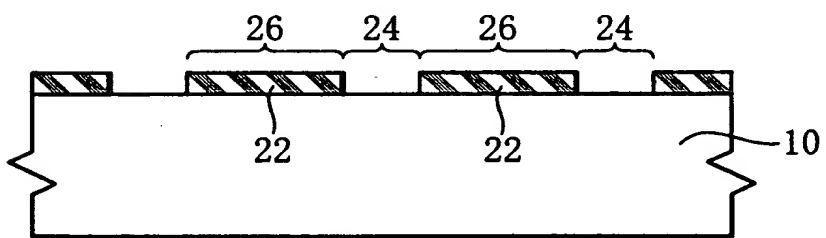
【図 18】



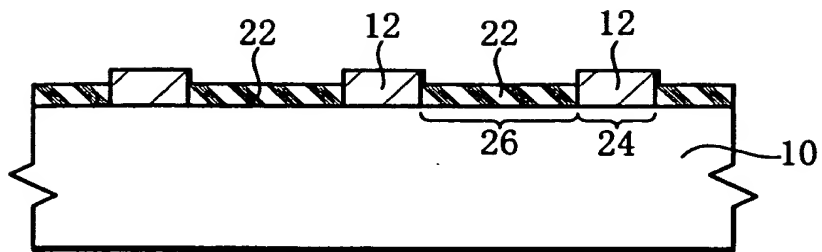
【図 1 9】



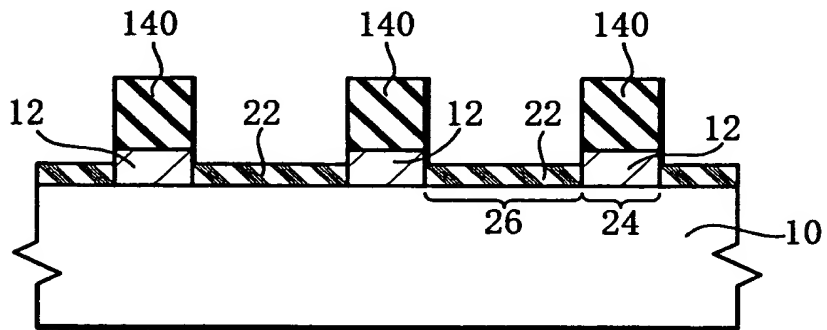
【図 2 0】



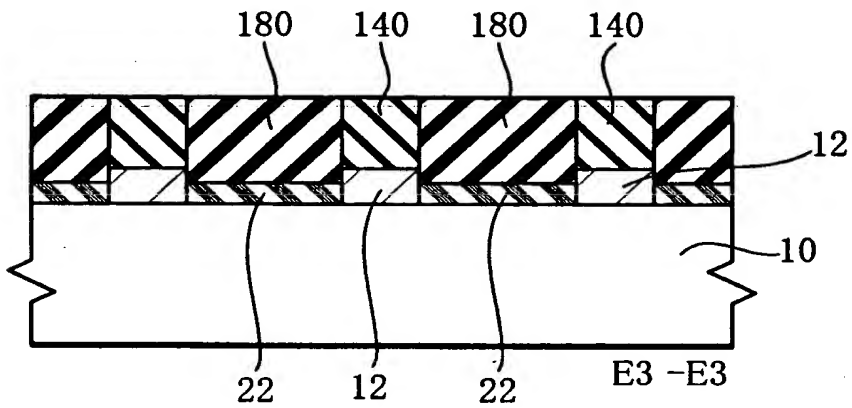
【図 2 1】



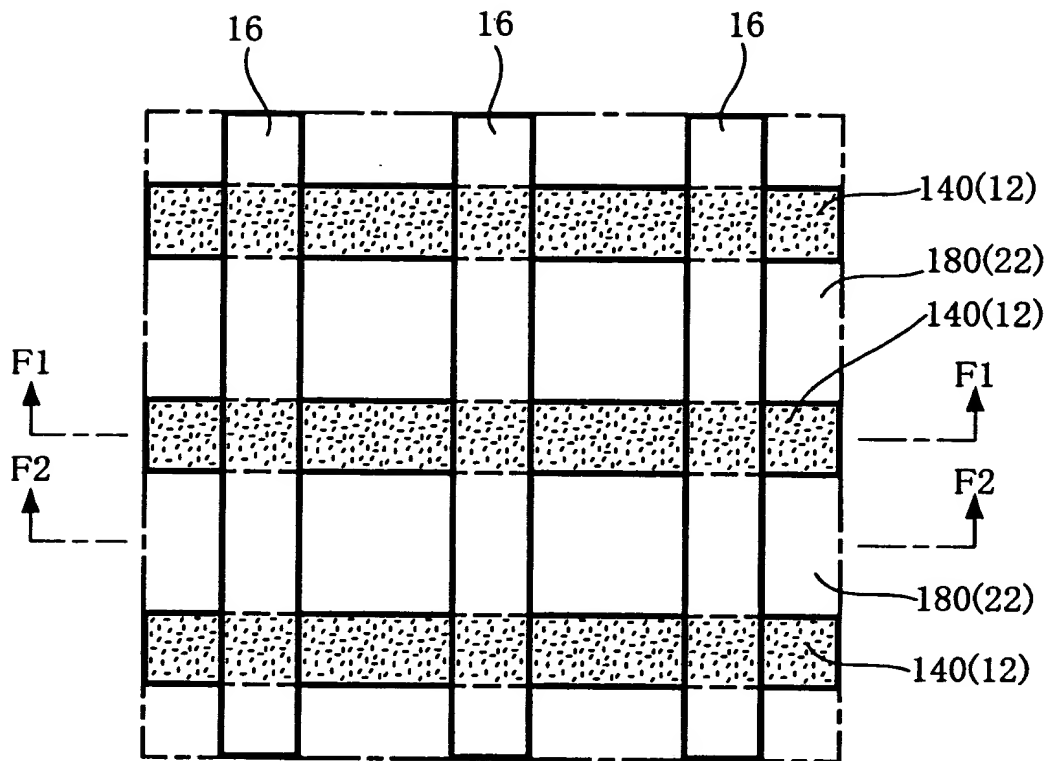
【図 2 2】



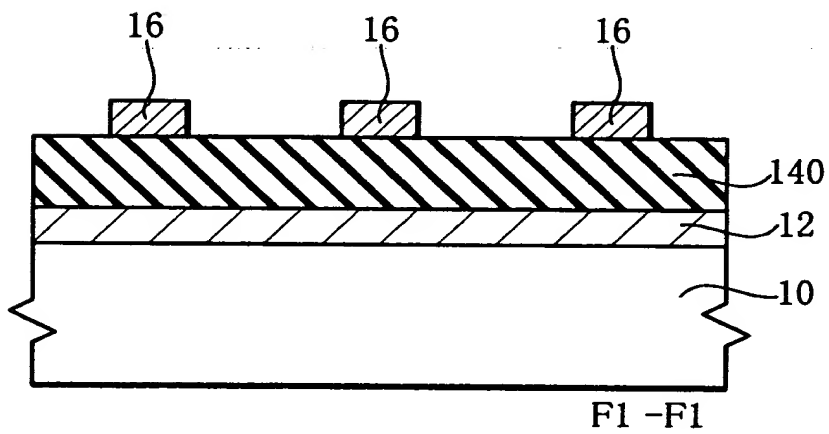
【図 2 3】



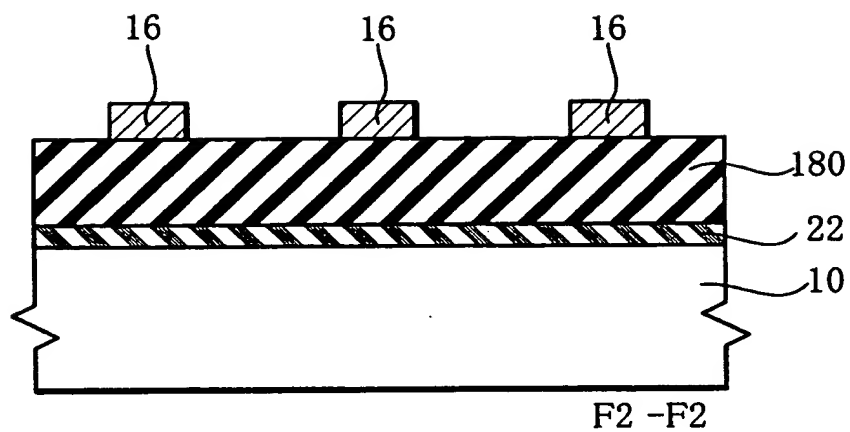
【図 2 4】



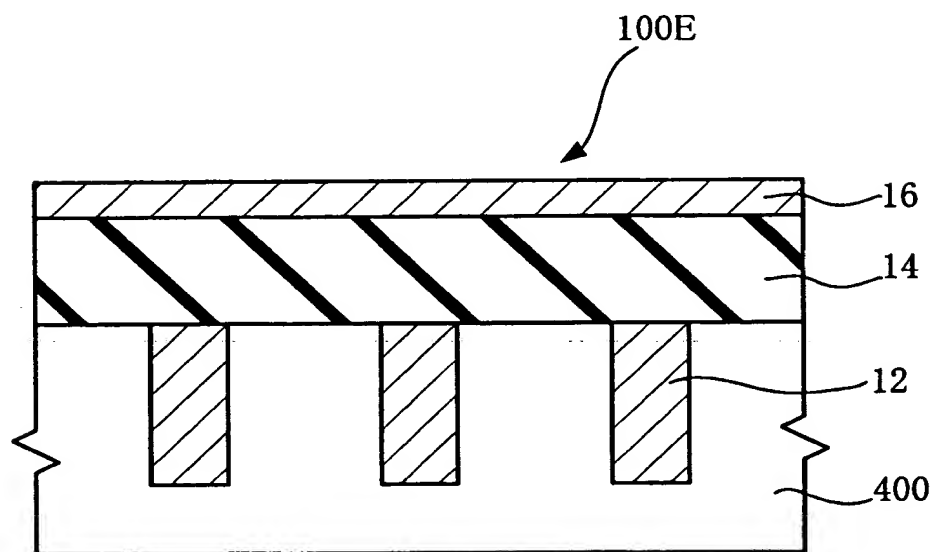
【図 2 5】



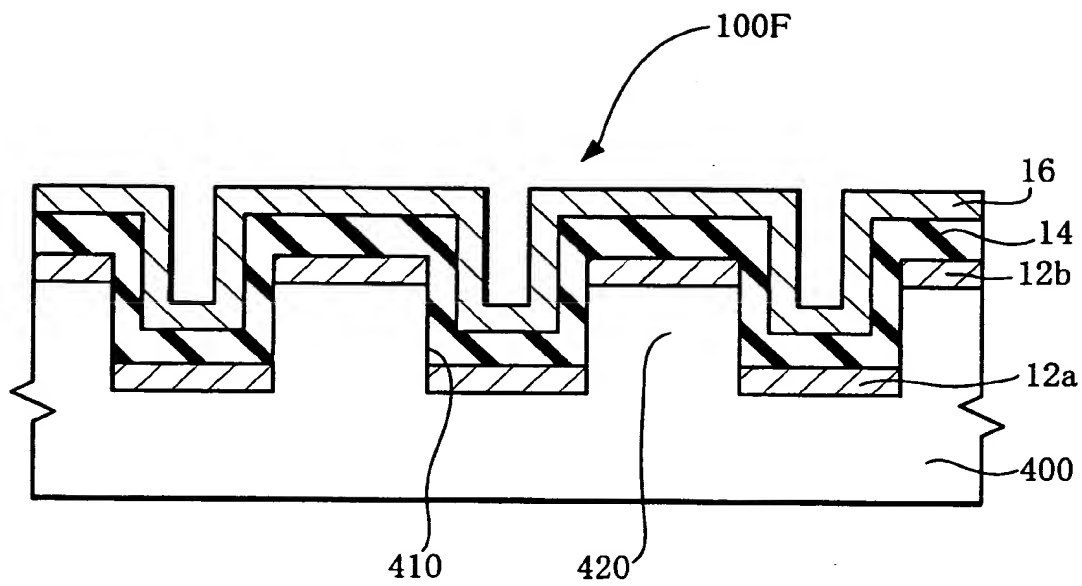
【図 2 6】



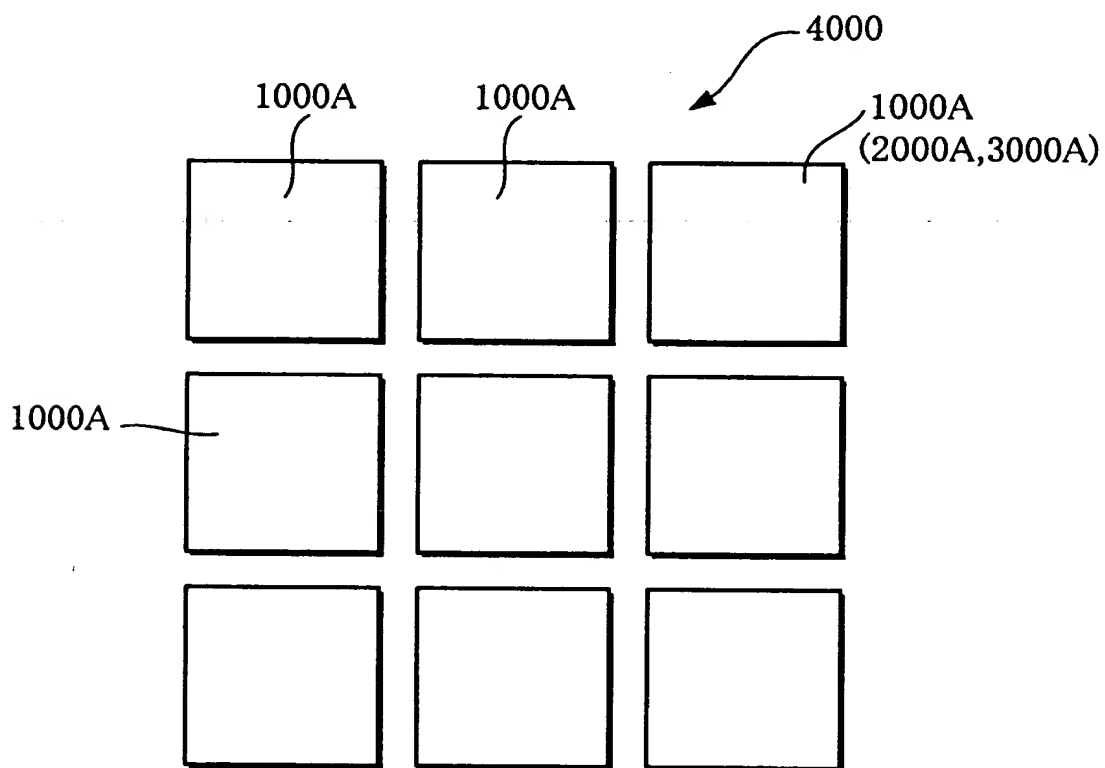
【図 2 7】



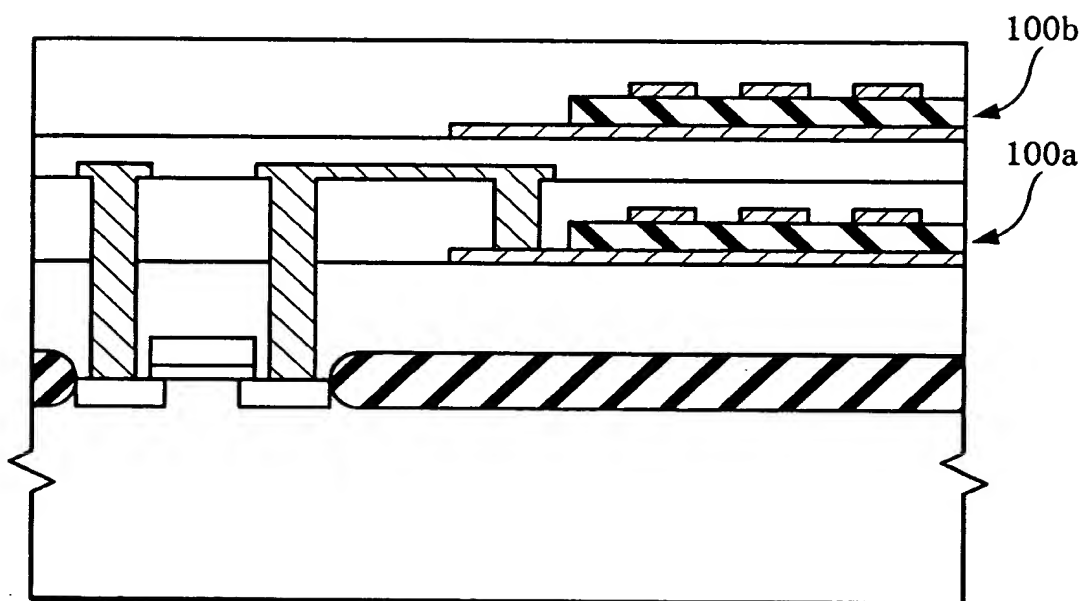
【図 2 8】



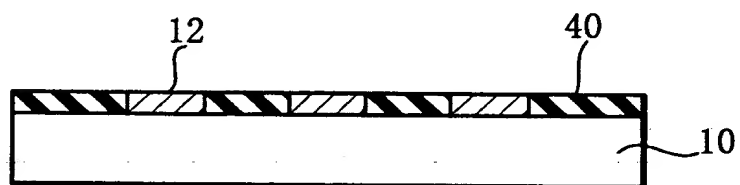
【図 2 9】



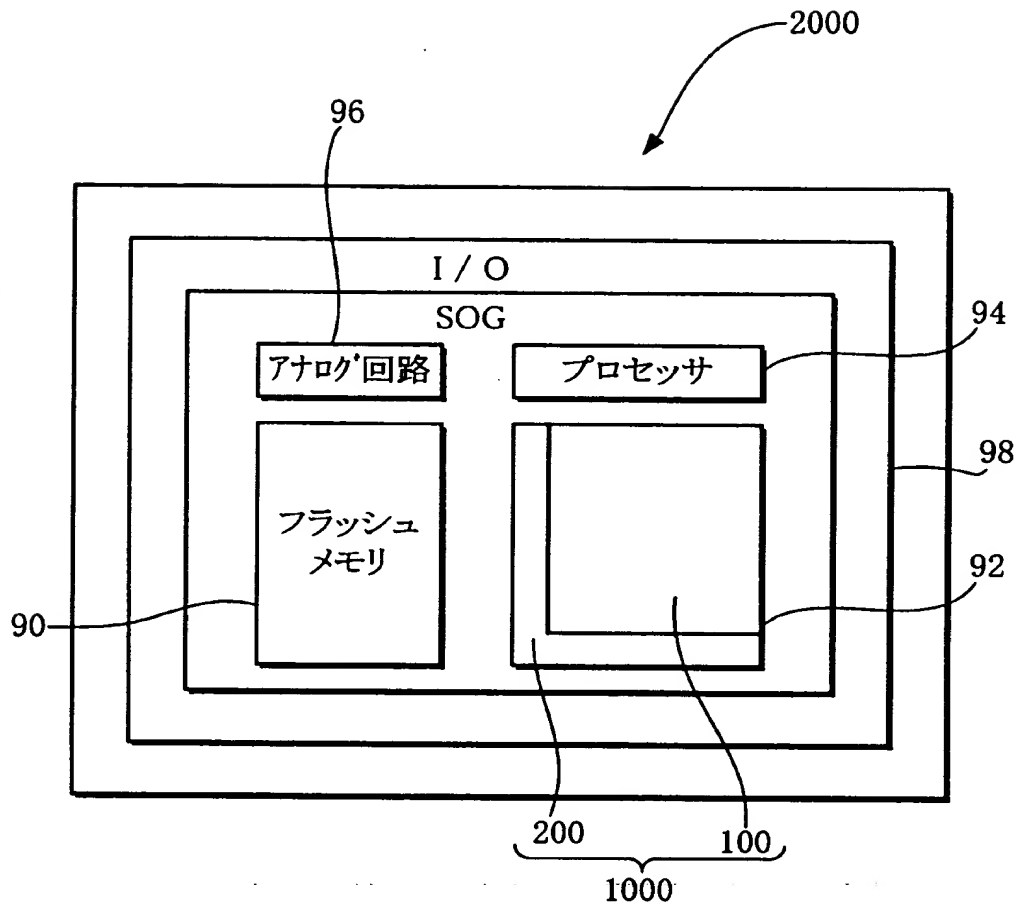
【図 3 0】



【図 3 1】



【図 3 2】



【書類名】 要約書

【要約】

【課題】 所望のパターンを有するメモリセルアレイを有する強誘電体メモリ装置およびその製造方法ならびに混載装置を提供する。

【解決手段】 メモリセルがマトリクス状に配列され、第1信号電極12と、第1信号電極12と交差する方向に配列された第2信号電極16と、少なくとも第1信号電極12と第2信号電極16との交差領域に配置された強誘電体層14と、を含むメモリセルアレイ100と、メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための周辺回路部200と、を含む。メモリセルアレイ100と周辺回路部200とは、異なる層に配置されている。周辺回路部200は、メモリセルアレイの外側の領域100に形成されている

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社